

Systemová sběrnice

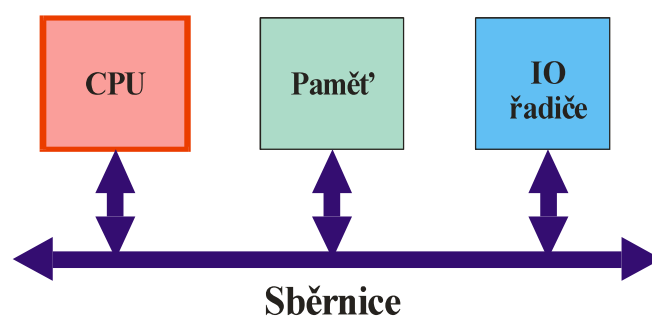
1

K.D. - přednášky POT

Sběrnicevá architektura

Jednotlivé subsystémy počítače jsou propojeny sběrnici, po které se přenáší data oběma směry.

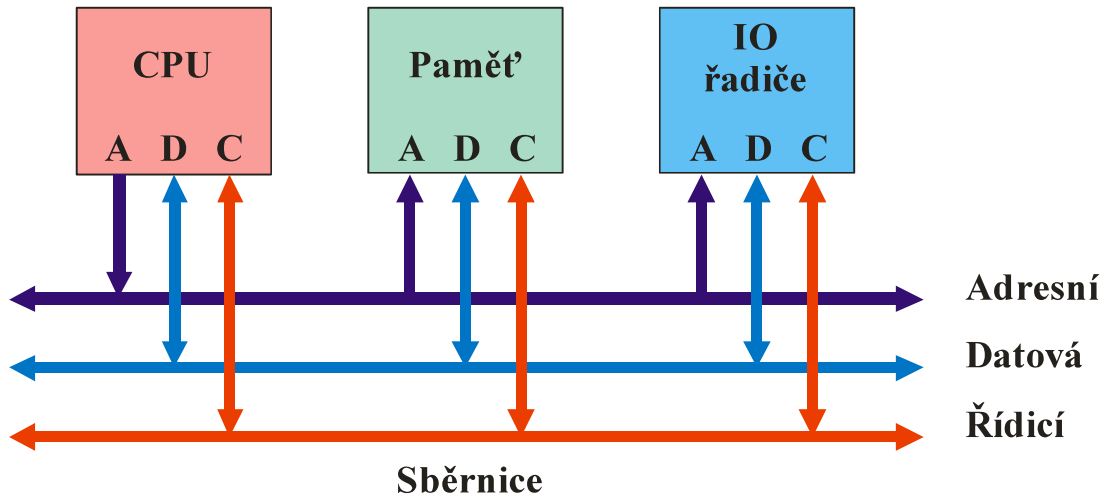
- Single master – jeden procesor na sběrnici,
- Multi master – více procesorů (nebo DMA řadičů) na sběrnici.



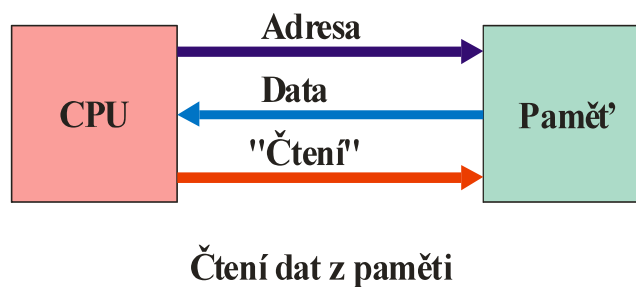
2

K.D. - přednášky POT

Adresní, datová a řídicí sběrnice



Operace čtení



Čtení dat z paměti

Operace zápisu

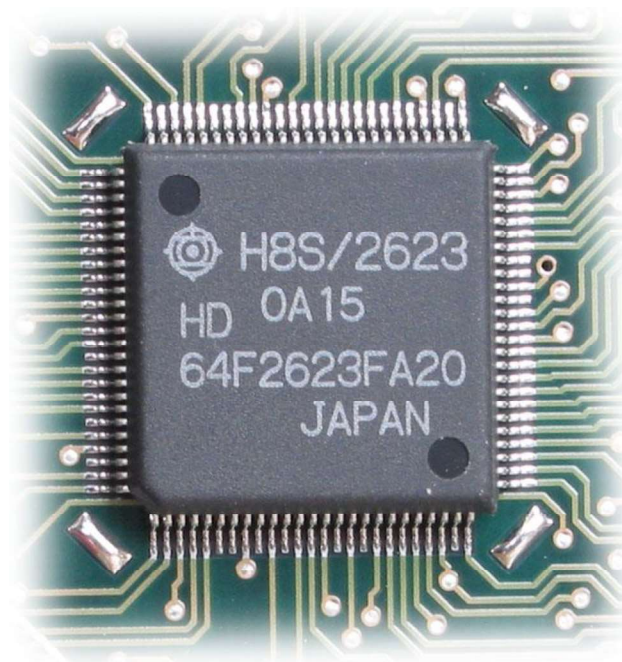


Zápis dat do paměti

5

K.D. - přednášky POT

Processor H8S



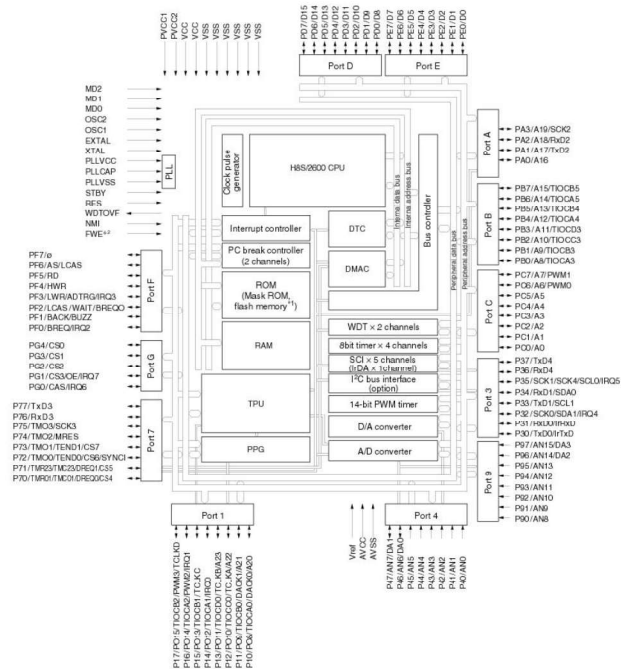
6

K.D. - přednášky POT

Procesor H8S

Základní charakteristiky procesoru H8S

- CLK max. 25 MHz,
- řada specializovaných periférií,
- 24bitová adresní sběrnice (A23 – A0),
- 8/16bitová datová sběrnice (D15 – D0),
- A23 – A20 dekodovány na /CS0 – /CS7,
- další signály: /HWR, /LWR, /RD, /WAIT.

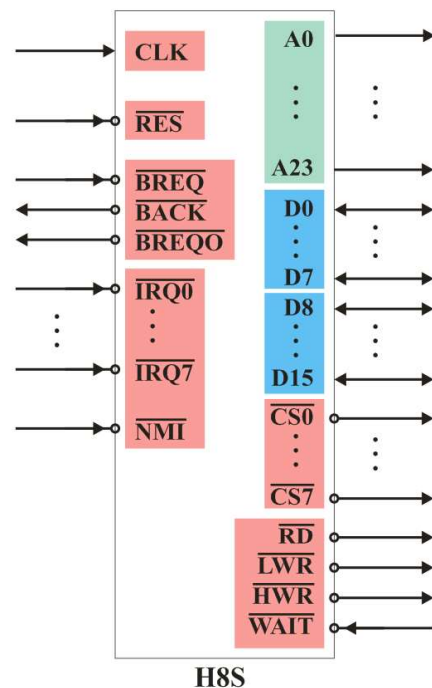


Notes: 1. Applies to the H8S/2633 only.
2. The FWE pin is used only in the flash memory version.

Procesor H8S

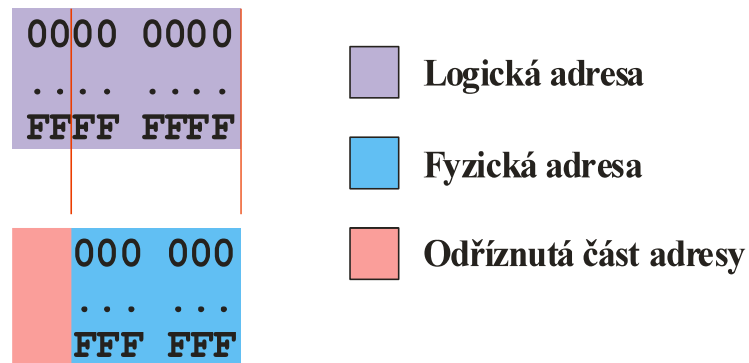
Některé důležité signály

- CLK hodinový signál,
- A23 – A0 adresní sběrnice,
- D15 – D0 datová sběrnice
- /HWR, /LWR, zápisové signály,
- /RD, čtecí signál,
- /WAIT prodloužení MC
- /IRQn, /NMI přerušovací signály
- /BREQ, /BACK, /BREQ0 uvolnění sběrnice
- /RES reset procesoru.



Fyzická adresa procesoru H8S

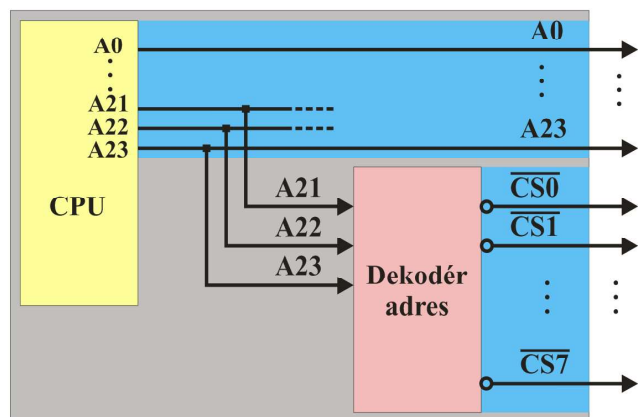
- Logická adresa je 32bitová (data) nebo 24bitová (instrukce).
- Fyzická adresa je 24bitová.
- 8 nejvyšších bitů adresy dat se ignoruje.



9

Signály /CS0 - /CS7

- Procesor interně dekóduje adresní vodiče A21, A22, A23.
- Dekodér generuje signály /CS0 – /CS7.
- Adresní prostor 16 MB je rozdělen na 8 bloků po 2 MB – každému bloku přísluší jeden /CSx.



10

Signály /CS0 - /CS7

- Procesor interně dekóduje adresní vodiče A21, A22, A23.
- Dekodér generuje signály /CS0 – /CS7.
- Adresní prostor 16 MB je rozdělen na 8 bloků po 2 MB – každému bloku přísluší jeden /CSx.

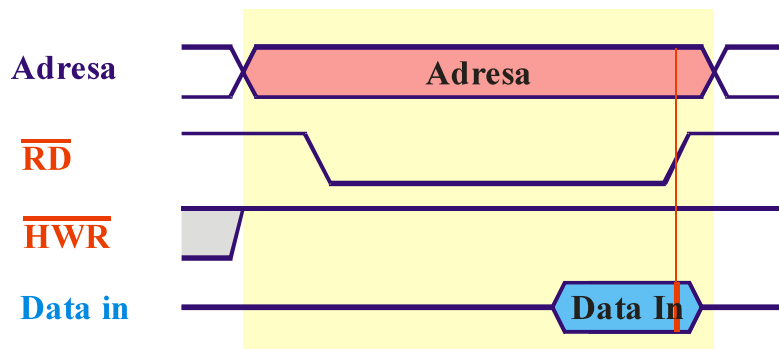
A23	A22	A21	/CS0	/CS1	/CS2	...	/CS7
0	0	0	L	H	H	...	H
0	0	1	H	L	H	...	H
0	1	0	H	H	L	...	H
...		
1	1	1	H	H	H	...	L

Čtecí cyklus sběrnice H8S

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.

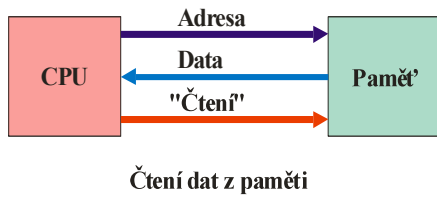


Čtení dat z paměti



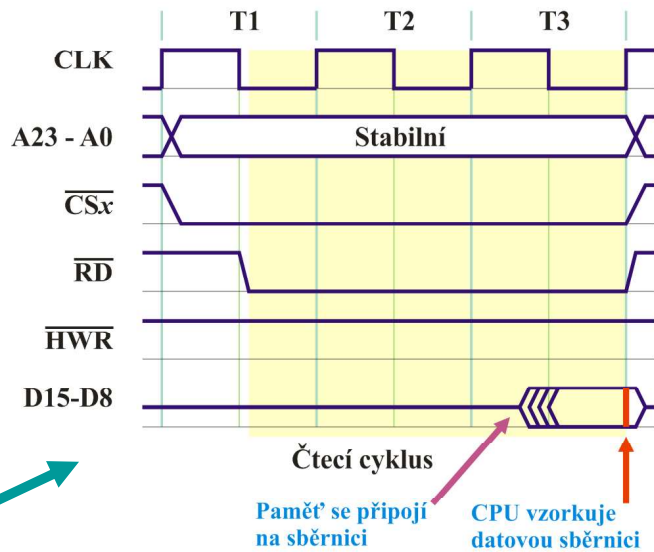
Čtecí cyklus sběrnice H8S detailně

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



Čtení dat z paměti

Při frekvenci CLK 25 MHz trvá čtecí cyklus 120 ns.

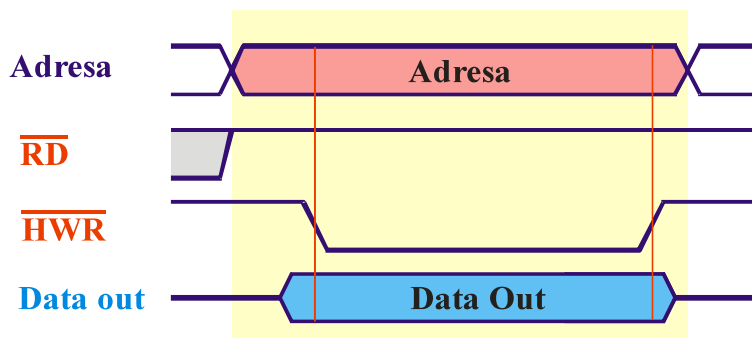


Zápisový cyklus sběrnice H8S

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.

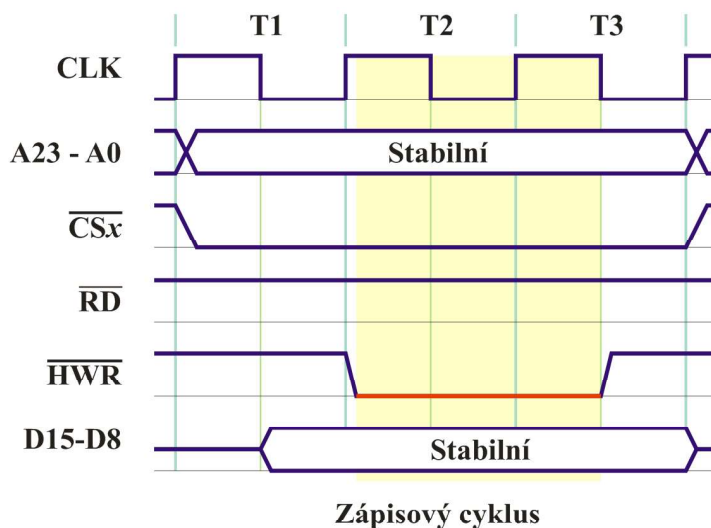
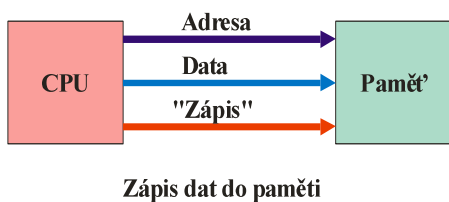


Zápis dat do paměti



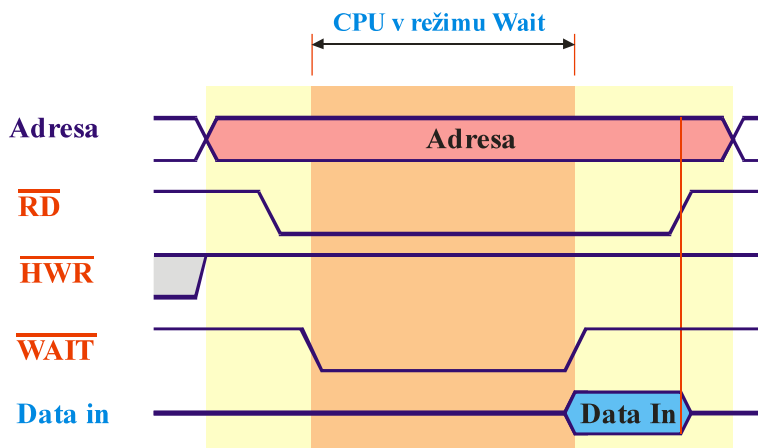
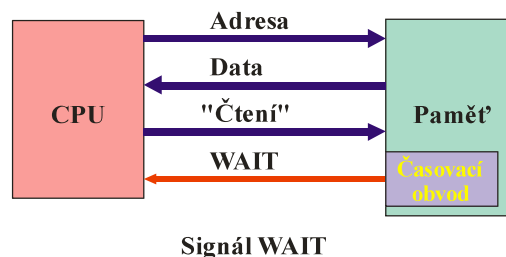
Zápisový cyklus sběrnice H8S detailně

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.




Vložení čekacích taktů

- Je-li v ↓T2 aktivní /WAIT, vkládá procesor čekací takty.
- Čekacích taktů lze vložit libovolný počet.
- Může to mít další důsledky.



Katalogové parametry paměti

February 2007  AS6C1008

128K X 8 BIT LOW POWER CMOS SRAM

Notes:
 1. $V_{DD(max)} = V_{CC} + 3.0V$ for pulse width less than 10ns.
 2. $V_{DD(min)} = V_{DD} - 3.0V$ for pulse width less than 10ns.
 3. Over/undershoot specifications are characterized, not 100% tested.
 4. Typical values are included for reference only and are not guaranteed or tested.
 5. Typical values are measured at $V_{CC} = V_{DD(TYP)}$ and $t_A = 50\mu s$.

CAPACITANCE ($t_A = 25^\circ C, f = 1.0MHz$)

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Input Capacitance	C_{IN}	-	6	pF
Input/Output Capacitance	C_{IO}	-	8	pF

Note: These parameters are guaranteed by device characterization, but not production tested.

AC TEST CONDITIONS

Input Pulse Levels	0.2V to $V_{CC} - 0.2V$
Input Rise and Fall Times	5ns
Input and Output Timing Reference Levels	1.5V
Output Load	$C_L = 30pF + 1TTL, I_{OH} = -1mA/2mA$

AC ELECTRICAL CHARACTERISTICS


(1) READ CYCLE

PARAMETER	SYM.	AS6C1008-55		UNIT
		MIN.	MAX.	
Read Cycle Time	t_{RC}	55	-	ns
Address Access Time	t_{AA}	-	55	ns
Chip Enable Access Time	t_{ACE}	-	55	ns
Output Enable Access Time	t_{OE}	-	30	ns
Chip Enable to Output in Low-Z	$t_{CE#L}$	10	-	ns
Output Enable to Output in Low-Z	$t_{OLE#}$	5	-	ns
Chip Disable to Output in High-Z	$t_{CDE#}$	-	20	ns
Output Disable to Output in High-Z	$t_{ODE#}$	-	20	ns
Output Hold from Address Change	t_{OH}	10	-	ns

(2) WRITE CYCLE

PARAMETER	SYM.	AS6C1008-55		UNIT
		MIN.	MAX.	
Write Cycle Time	t_{WC}	55	-	ns
Address Valid to End of Write	t_{AW}	50	-	ns
Chip Enable to End of Write	t_{CW}	50	-	ns
Address Setup Time	t_{AS}	0	-	ns
Write Pulse Width	t_{WP}	45	-	ns
Write Recovery Time	t_{WR}	0	-	ns
Data to Write Time Overlap	t_{DW}	25	-	ns
Data Hold from End of Write Time	t_{DWH}	0	-	ns
Output Active from End of Write	t_{OW}	5	-	ns
Write to Output in High-Z	$t_{WE#}$	-	20	ns

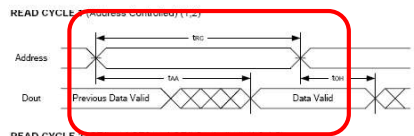
Note: These parameters are guaranteed by device characterization, but not production tested.

February 2007  AS6C1008

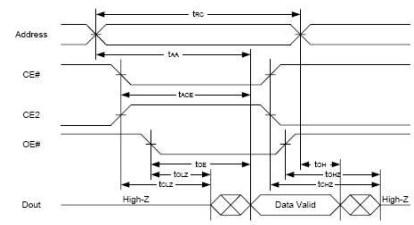
128K X 8 BIT LOW POWER CMOS SRAM

TIMING WAVEFORMS

READ CYCLE 1 (Address Controlled) (T_{RC})



READ CYCLE 2 (CE# and OE# and OWE# Controlled) (T_{RC})

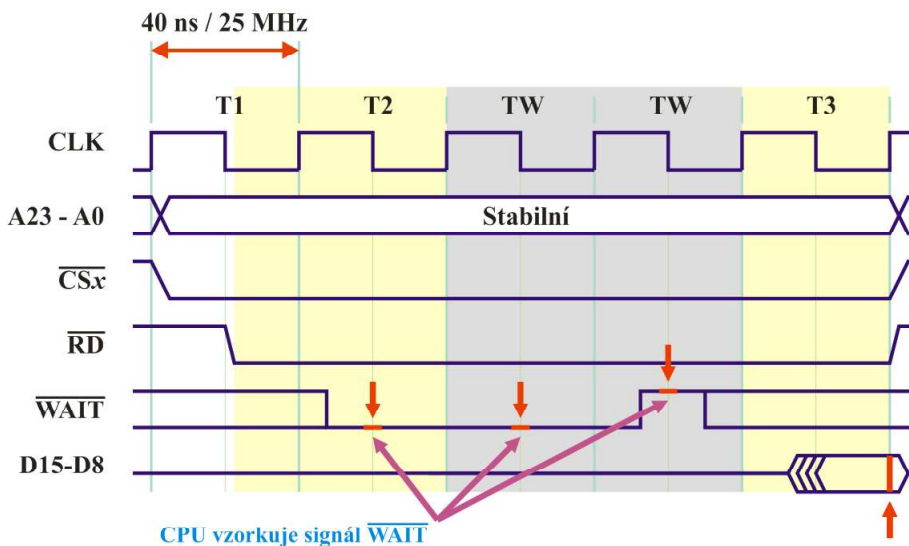
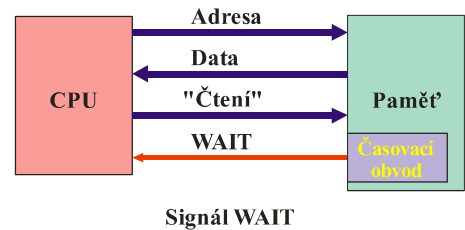


Notes:
 1. WE# is high for read cycle.
 2. Device is continuously selected. CE# = low, OE# = low, CE# = high.
 3. Address must be valid prior to or coincident with CE# = low, OE# = high, otherwise t_{AA} is the limiting parameter.
 4. t_{OLZ}, t_{OLC} and t_{OHZ} are specified with $C_L = 5pF$. Transition is measured 250mV from steady state.
 5. At any given temperature and voltage condition, t_{OHZ} is less than t_{OLZ}, t_{OH} is less than t_{OL}.

K.D. - přednášky POT

Vložení čekacích taktů detailně

- Při ↓ hraně T2 CLK se testuje stav vstupu /WAIT.
- Čekacích taktů lze vložit libovolný počet.
- Může to mít další důsledky.

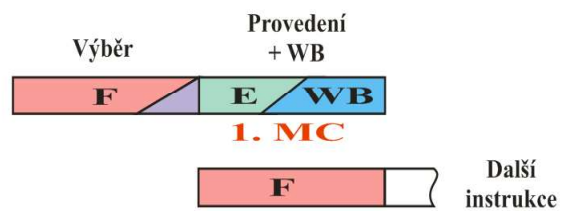
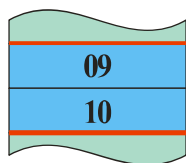


K.D. - přednášky POT

Instrukce ADD.W R1,R0

- Kód instrukce je dlouhý 16 bytů.
- Při provádění ADD.W se čte kód další instrukce.
- Při 8bitové sběrnici vyžaduje každý MC pro čtení/zápis word **dva** přístupy do paměti.

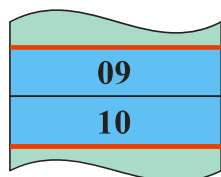
ADD.W R1,R0



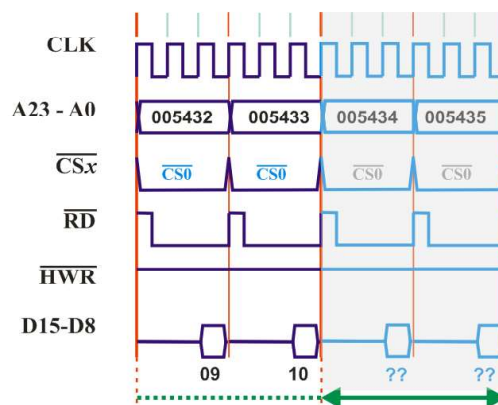
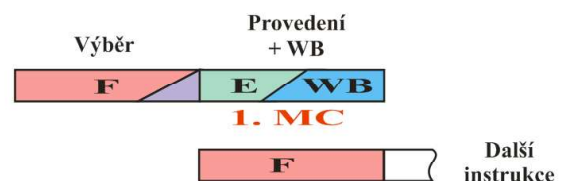
Instrukce ADD.W R1,R0

Při 8bitové datové sběrnici vyžaduje každý MC dva přístupy do paměti ⇒ 6 taktů CLK

ADD.W R1,R0



005432



Instrukční cyklus = 1 MC = 6 taktů
= 240 ns / 25MHz

Instrukce ADD.W

Operand Format and Number of States Required for Execution

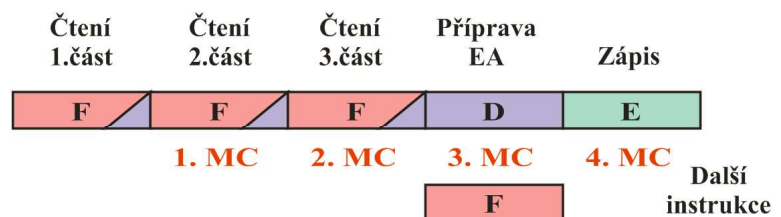
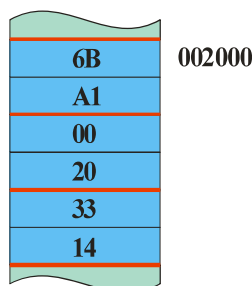
Addressing Mode	Mnemonic	Operands	Instruction Format				No. of States	
			1st byte	2nd byte	3rd byte	4th byte		
Immediate	ADD.W	#xx:16, Rd	7	9	1	rd	IMM	2
Register direct	ADD.W	Rs, Rd	0	9	rs	rd		1

Instruction	1	2	
ADD.B #xx:8,Rd	R:W NEXT		
ADD.B Rs,Rd	R:W NEXT		
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT	
ADD.W Rs,Rd	R:W NEXT		
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W 4th
ADD.L ERs,ERd	R:W NEXT		
ADDS #1/2/4,ERd	R:W NEXT		
ADDX #xx:8,Rd	R:W NEXT		

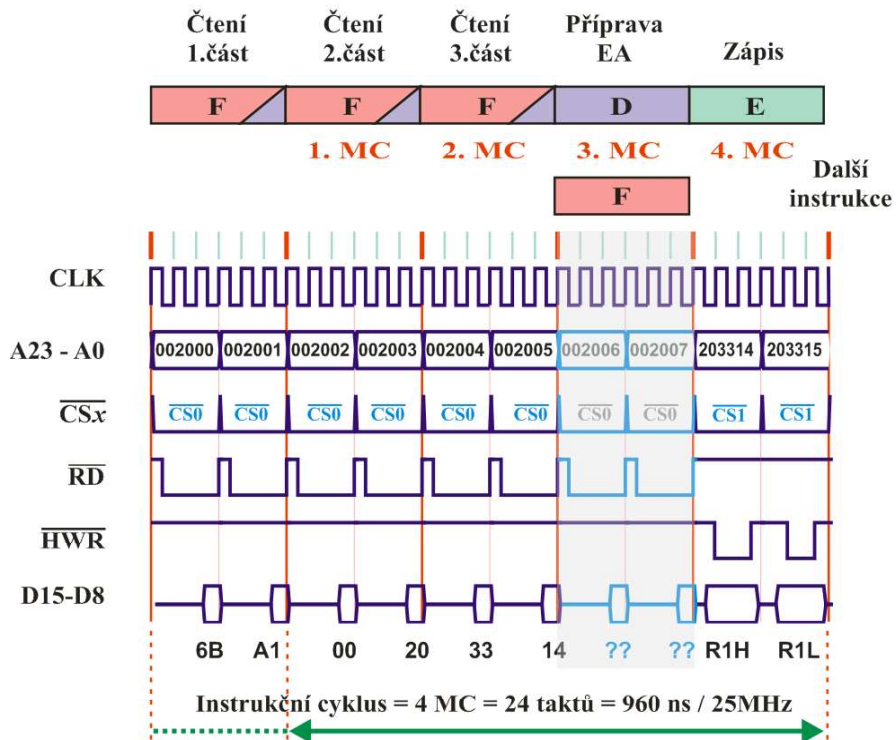
Instrukce MOV.W R1, @adresa

- Kód je dlouhý celkem 6 bytů.
- Před zápisem operandu 1 MC „příprava EA“ ⇒ čte se další instrukce.
- Provedení = zápis word do paměti.
- Při 8bitové sběrnici vyžaduje každý MC pro čtení/zápis word dva přístupy do paměti

MOV.W R1,@00203314



Instrukce MOV.W R1, @adresa



Instrukce MOV.W

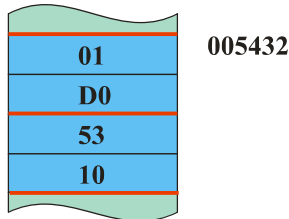
Operand Format and Number of States Required for Execution

Addressing Mode	Mnemonic	Operands	Instruction Format								No. of States	
			1st byte	2nd byte	3rd byte	4th byte	5th byte	6th byte	7th byte	8th byte		
Register indirect	MOV.W	Rs, @ERd	6	9	1:erd: rs							2
Register indirect with displacement	MOV.W	Rs, @(d:16, ERd)	6	F	1:erd: rs	disp						3
Register indirect with pre-decrement	MOV.W	Rs, @(d:32, ERd)	7	B	0:erd: 0	6	B	A	rs	disp		5
Register indirect with pre-decrement	MOV.W	Rs, @-ERd	6	D	1:erd: rs							3
Absolute address	MOV.W	Rs, @aa:16	6	B	8	rs	abs					3
	MOV.W	Rs, @aa:32	6	B	A	rs	abs					4

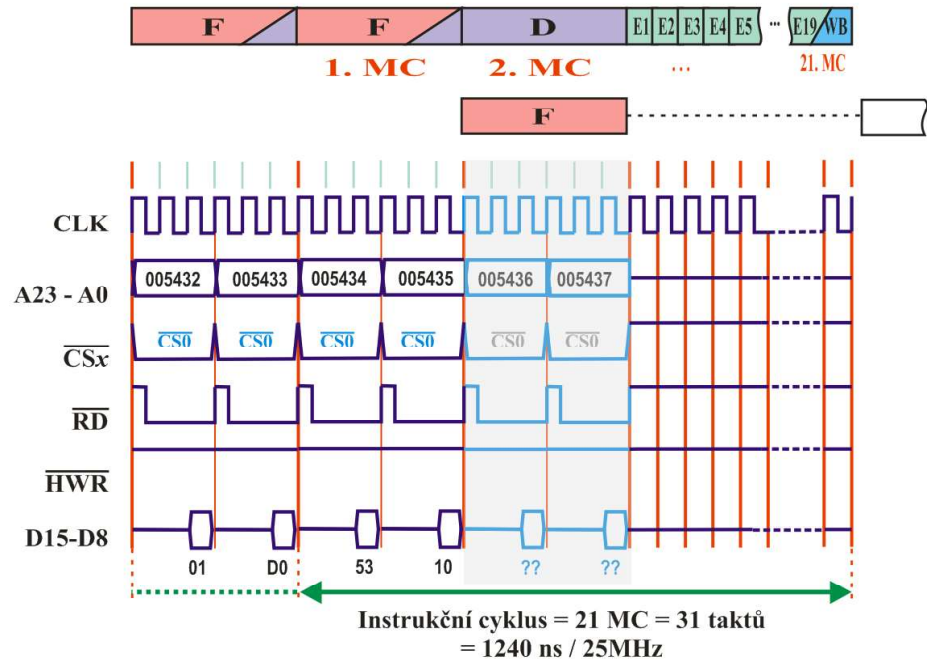
Instruction	1	2	3	4	5
MOV.W Rs, @(d:16, ERd)	R:W 2nd	R:W NEXT	W:W EA		
MOV.W Rs, @(d:32, ERd)	R:W 2nd	R:W 3rd	R:E 4th	R:W NEXT	W:W EA
MOV.W Rs, @aa:16	R:W 2nd	R:W NEXT	W:W EA		
MOV.W Rs, @aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA	
MOV.W Rs, @-ERd	R:W NEXT	Internal operation, 1 state	W:W EA		
MOVL #xx:32, ERd	R:W 2nd	R:W 3rd	R:W NEXT		
MOVL ERs, ERd	R:W NEXT				
MOVL @ERs, ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2	
MOVL @(d:16, ERs), ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2
MOVL @(d:32, ERs), ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT
MOVL @ERs+ ERd	R:W 2nd	R:W:M NEXT	Internal operation	R:W:M EA	R:W EA+2

Instrukce DIVXS R1,ER0

DIVXS.W R1,ER0



Cykly E1 – E19 nevyžadují přístup do paměti ⇒ trvají jen 1 takt CLK



Instrukce DIVXS.W

Operand Format and Number of States Required for Execution

Addressing Mode	Mnemonic	Operands	Instruction Format				No. of States				
			1st byte	2nd byte	3rd byte	4th byte					
Register direct	DIVXS.W	Rs, ERd	0	1	D	0	5	3	rs	0:erd	21

Instruction	Operands	Internal operation	States
DAS Rd	R:W NEXT		
DEC.B Rd	R:W NEXT		
DEC.W #1/2,Rd	R:W NEXT		
DEC.L #1/2,ERd	R:W NEXT		
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	Internal operation, 11 states
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	Internal operation, 19 states
DIVXU.B Rs,Rd	R:W NEXT	Internal operation, 11 states	
DIVXU.W Rs,ERd	R:W NEXT	Internal operation, 19 states	
EPMOV.B	R:W 2nd	R:B EAs *1	R:B EAd *1 R:B EAs *2 W:B EAd *2 R:W NEXT
EPMOV.W	R:W 2nd	R:B EAs *1	R:B EAd *1 R:B EAs *2 W:B EAd *2 R:W NEXT
EXTS.W Rd	R:W NEXT		← Repeated n times*3 →
EXTS.L ERd	R:W NEXT		
EXTX.W R1	R:W NEXT		

Různé typy sběrnice

- Sběrnice mohou být klasifikovány podle různých kritérií:

proprietární ↔ univerzální,
nemultiplexované ↔ multiplexované,
synchronní ↔ asynchronní,
paralelní ↔ sériové,
single master ↔ multimaster.

27

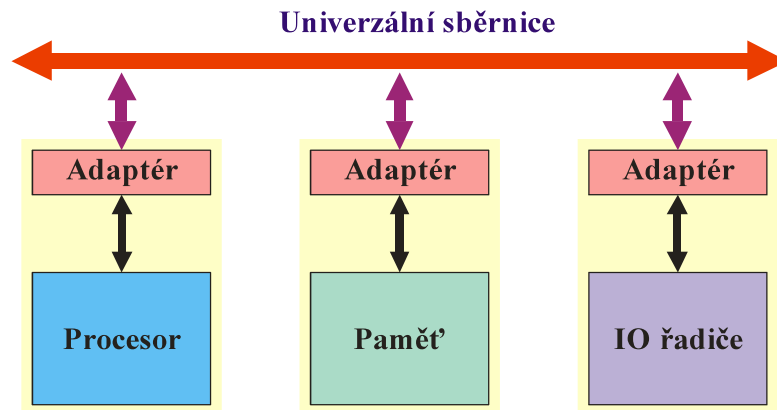
Univerzální sběrnice (1)

- Sběrnice procesoru H8S je používána jen pro tento typ procesoru (tzv. proprietární sběrnice).
- Jiné procesory (Pentium, Power PC, MIPS, SPARC, ...) mají též jinou sběrnici.
- Univerzální sběrnice (PCI, AMBA, VME, PC104, ...) :
 - Jsou navrženy bez závislosti na konkrétním typu procesoru.
 - Větší univerzálnost.
 - Pro připojení procesoru, paměti a periferních obvodů jsou obvykle nutné doplňkové obvody.

28

Univerzální sběrnice (2)

- Univerzální sběrnice (PCI, AMBA, VME, PC104, ...) :
 - Jsou navrženy bez závislosti na konkrétním typu procesoru.
 - Větší univerzálnost.
 - Pro připojení procesoru, paměti a periferních obvodů jsou obvykle nutné doplňkové obvody („glue logic“).

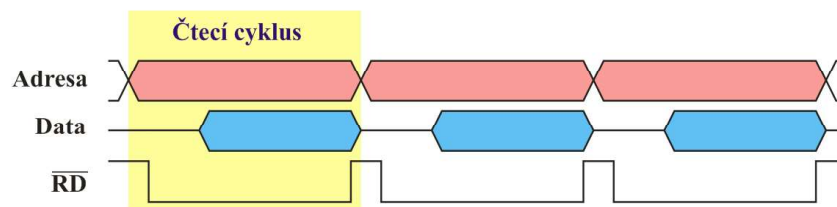


29

K.D. - přednášky POT

Nemultiplexovaná sběrnice

- Nemultiplexovaná sběrnice má samostatné vodiče pro adresu a data.
- Přenos adresy z CPU a dat z/do CPU může probíhat současně.
- Vyžaduje velký počet signálů na sběrnici.



Nemultiplexovaná
sběrnice

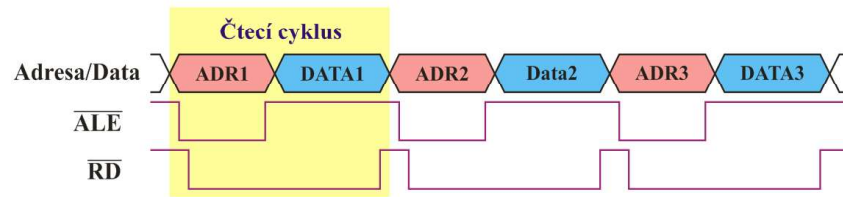


30

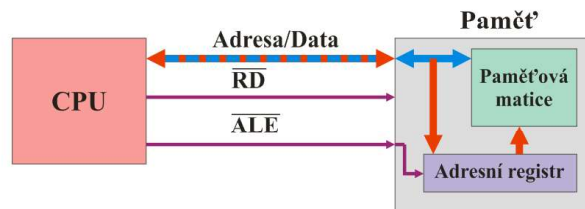
K.D. - přednášky POT

Multiplexovaná sběrnice

- Multiplexovaná sběrnice sdílí společné vodiče pro adresu i pro data.
- Adresa a data se přenáší postupně.
 - Speciální signál (např. /ALE – Address Latch Enable) určuje, kdy se přenáší adresa.
- Vyžaduje menší počet vodičů, přenos je obecně pomalejší než u nemultiplexované sběrnice.
 - Příklad: externí sběrnice mikrokontrolérů řady 8051.

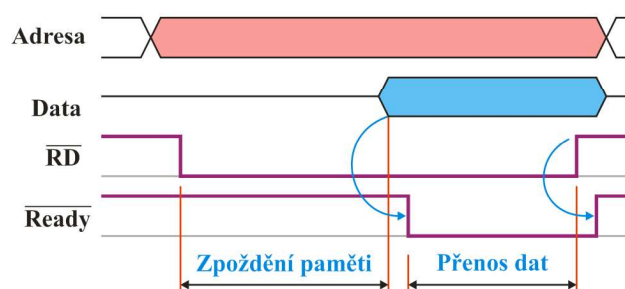


Multiplexovaná sběrnice



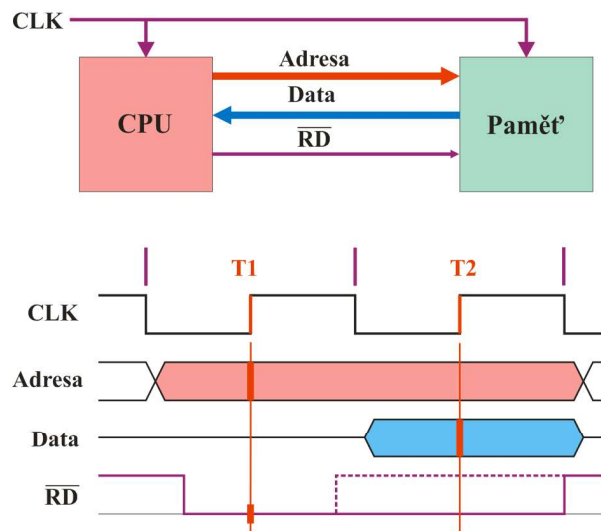
Asynchronní sběrnice

- Komunikace s pamětí probíhá způsobem dotaz – odpověď.
 - Po aktivaci požadavku (/RD) čeká procesor na odpověď (/Ready).
 - Po dokončení přenosu zruší procesor /RD → paměť zruší /Ready.
- Několikanásobná výměna signálů zpomaluje komunikaci.



Synchronní sběrnice

- Vysílání adresy a příkazu a přečtení dat se provede při (specifikaci) určité hraně CLK.
 - Např. v T1 vysílá CPU adresu a /RD, v T2 čte data.
- Lze dosáhnout vysoké přenosové rychlosti.

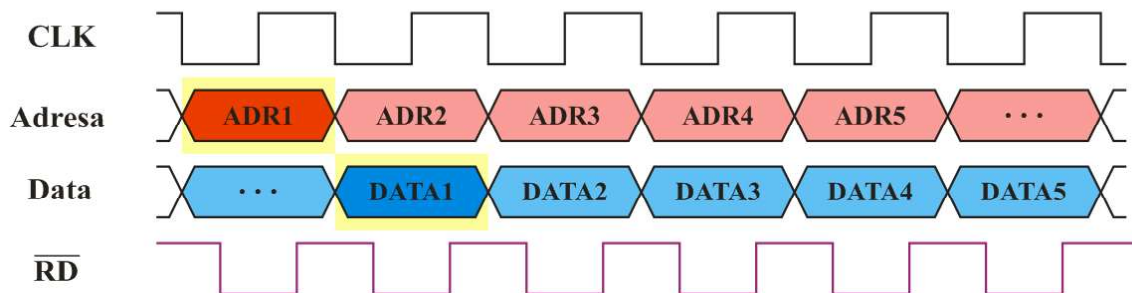


33

K.D. - přednášky POT

Sběrnice na principu „pipeline“

- Při přenosu dat se současně přenáší adresa pro následující čtení/zápis.
- Používaná u rychlých procesorů a pamětí (synchronní statická RAM).
 - Příklad: datové kanály mezi CPU a pamětí cache.

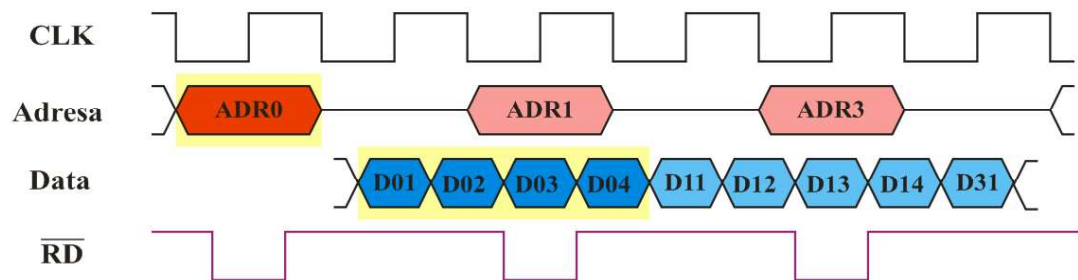


34

K.D. - přednášky POT

Sběrnice s blokovým přenosem

- Do paměti se přenáší jen adresa prvního slova z celého bloku.
- Paměť přečte **paralelně** celý blok (typicky 2, 4 nebo 8 slov).
 - Přečtený blok se v paměti uloží do výstupního registru.
- Jednotlivá slova se přenáší postupně po datové sběrnici.
 - **DDR (Dual Data Rate)** – přenáší se při obou hranách CLK.
 - Příklad: Přenosové kanály mezi CPU/cache a hlavní pamětí v PC.

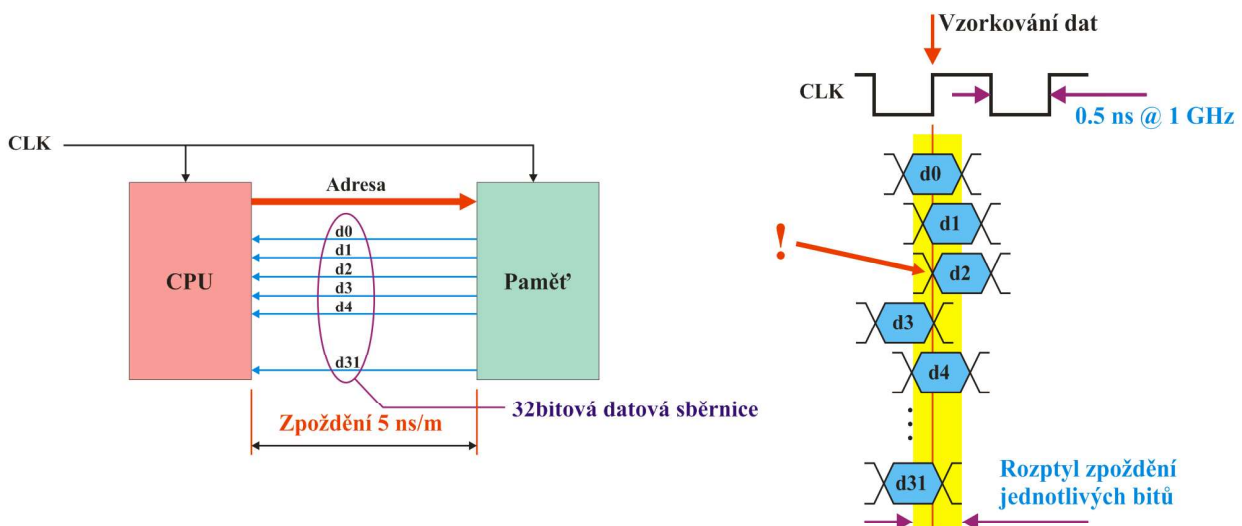


35

K.D. - přednášky POT

Paralelní vs. sériová sběrnice (1)

- Při velké přenosové rychlosti je obtížné dodržet stejné zpoždění všech adresních nebo datových vodičů.
- Rozptyl zpoždění jednotlivých vodičů (skew) má za následek nesprávné čtení.



36

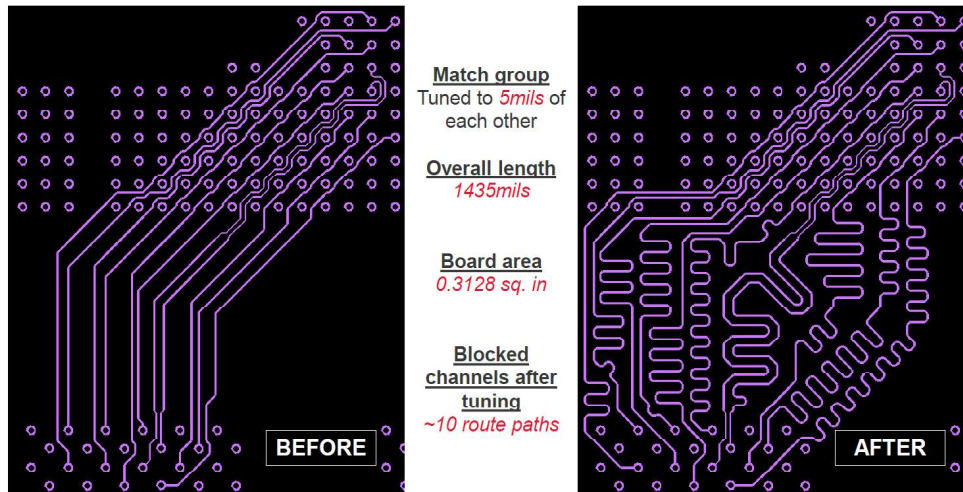
K.D. - přednášky POT

Paralelní vs. sériová sběrnice (2)

- Při velké přenosové rychlosti je obtížné dodržet stejné zpoždění všech adresních nebo datových vodičů.
- Rozptyl zpoždění jednotlivých vodičů (skew) má za následek nesprávné čtení.

Timing Challenge

Route tuning examples—Excess length added during matching



31 © 2016 Cadence Design Systems, Inc. All rights reserved.

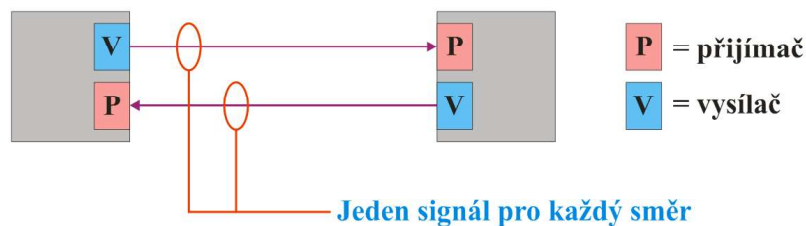
PCB West 2016 — Routing DDR4 Interfaces Quickly and Efficiently

cadence 37

K.D. - přednášky POT

Paralelní vs. sériová sběrnice (3)

- Rychlé sériové rozhraní má pro každý směr přenosu jen 1 signál.
 - Obvykle z elektrických důvodů je to 1 pár vodičů – kroucená dvoulinka.
- Přijímač si sám generuje hodinový signál pro čtení.
 - Hodinový signál je průběžně synchronizován podle přijímaných dat.
- Data jsou kódována speciálním přenosovým kódem.
- Modulační rychlost je řádově 1 GHz.
 - Příklad: PCI Express, SATA.

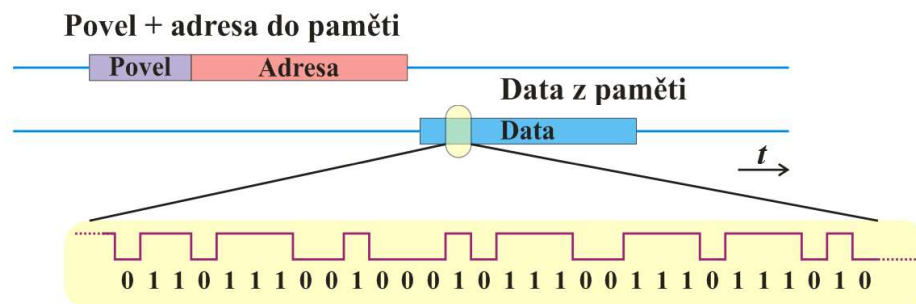


K.D. - přednášky POT

38

Paralelní vs. sériová sběrnice (4)

- Rychlé sériové rozhraní má pro každý směr přenosu jen 1 signál.
 - Obvykle z elektrických důvodů je to 1 pár vodičů – kroucená dvoulinka.
- Přijímač si sám generuje hodinový signál pro čtení.
 - Hodinový signál je průběžně synchronizován podle přijímaných dat.
- Data jsou kódována speciálním přenosovým kódem.
- Modulační rychlost je řádově 1 GHz.
 - Příklad: PCI Express , SATA.

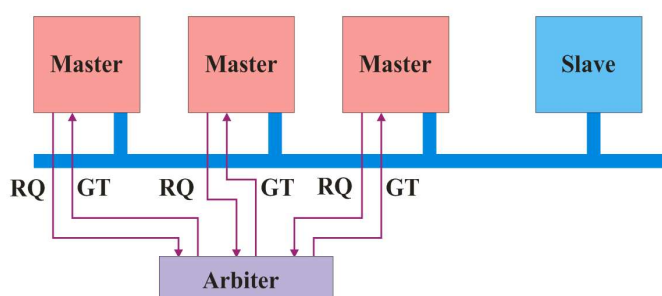


39

K.D. - přednášky POT

Sběrnice multimaster (1)

- Zařízení na sběrnici jsou typu **Master** nebo **Slave**:
 - **Master**: může iniciovat jednotlivé přenosové cykly (např. CPU nebo DMA řadič).
 - **Slave**: jen odpovídá na požadavky masteru (např. paměť).
- Jednoduché sběrnice dovolují připojení jediného masteru (single master).
- Na sběrnici typu multimaster může být připojeno více masterů.
 - V každém okamžiku využívá sběrnici jen jediný master.
 - Před zahájením přenosového cyklu musí proběhnout arbitrace – arbiter přidělí sběrnici vybranému masteru.



RQ = žádost o sběrnici
GT = přidělení sběrnice

40

K.D. - přednášky POT

Sběrnice multimaster (2)

- Po ukončení přenosového (sběrnicevého) cyklu proběhne nová arbitrace a sběrnice se přidělí dalšímu masteru.
- Při intenzivní komunikaci více masterů může dojít k přetížení sběrnice.

