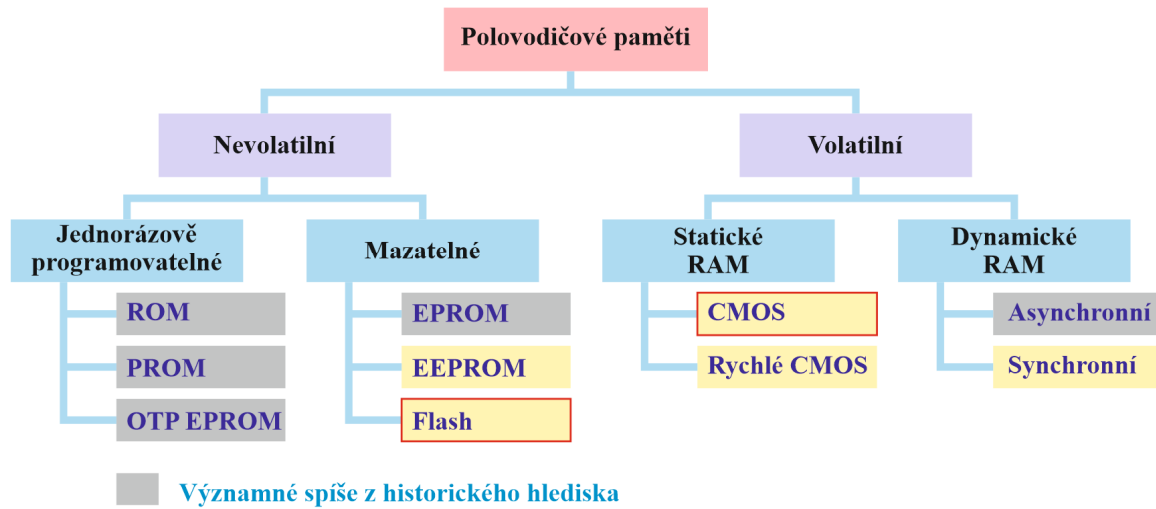




Paměťový systém

Přehled polovodičových pamětí

Klasifikace



Klasifikace základních typů polovodičových pamětí.

Obrázek nezahrnuje všechny používané typy polovodičových pamětí.

Přehled obvyklých typů pamětí (ROM, PROM)

- ROM (Read Only Memory)
 - Pouze ke čtení, programovatelné jen u výrobce přímo při výrobě.
 - Efektivní jen ve velkých sériích, nejsou příliš často používány.
- PROM (Programmable ROM)
 - Programovatelné jednorázově u uživatele.

Přehled obvyklých typů pamětí (EPROM, OTP EPROM)

- EPROM (Erasable PROM)
 - Programovatelné u uživatele (vyžadují speciální programátor).
 - Lze je opakovaně mazat UV zářením (cca 100×) ⇒ v pouzdře musí být okénko.
 - Ve variantě bez skleněného okénka jako náhrada PROM (tzv. OTP EPROM).

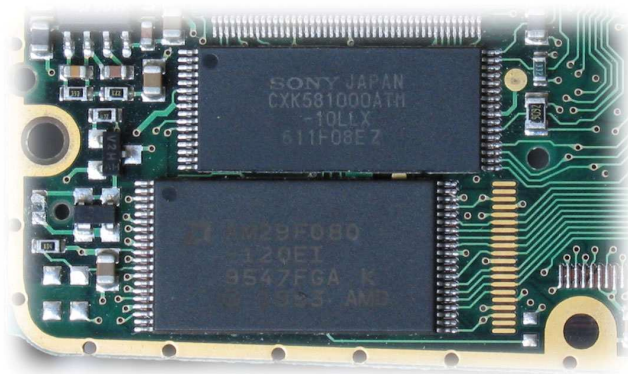


Přehled obvyklých typů pamětí (EEPROM)

- EEPROM (Electrically Erasable PROM)
 - V „normálním“ provozu jen ke čtení.
 - **Nevolatilní paměť** – uchovává data i při odpojení napájení.
 - Lze je elektricky vymazat a znovu naprogramovat (cca 100 000× - 1 000 000×), mazání a programování vyžaduje speciální (poměrně pomalé) postupy.
 - Zápis nových dat je možný bez předchozího vymazání.
 - „Trvanlivost“ uložených dat cca 10 let.
 - Kapacita řádově max. 1 MB.

Přehled obvyklých typů pamětí (Flash EEPROM)

- Flash (Flash EEPROM) (NOR Flash s náhodným přístupem)
 - V „normálním“ provozu jen ke čtení.
 - **Nevolatilní paměť** – uchovává data i při odpojení napájení.
 - Lze je elektricky vymazat a znovu naprogramovat (cca 100 000× - 1 000 000×), mazání a programování vyžaduje (poměrně pomalé) speciální postupy.
 - Před zápisem nových dat je nutné paměť vymazat speciálním postupem.
 - Kapacita řádově 10 - 100 MBytů .



Jako vnější paměti (Flash disk) se používají tzv. AND Flash – mají jinou organizaci paměťové matice \Rightarrow sekvenční čtení a zápis.

Porovnání vlastností EEPROM a Flash

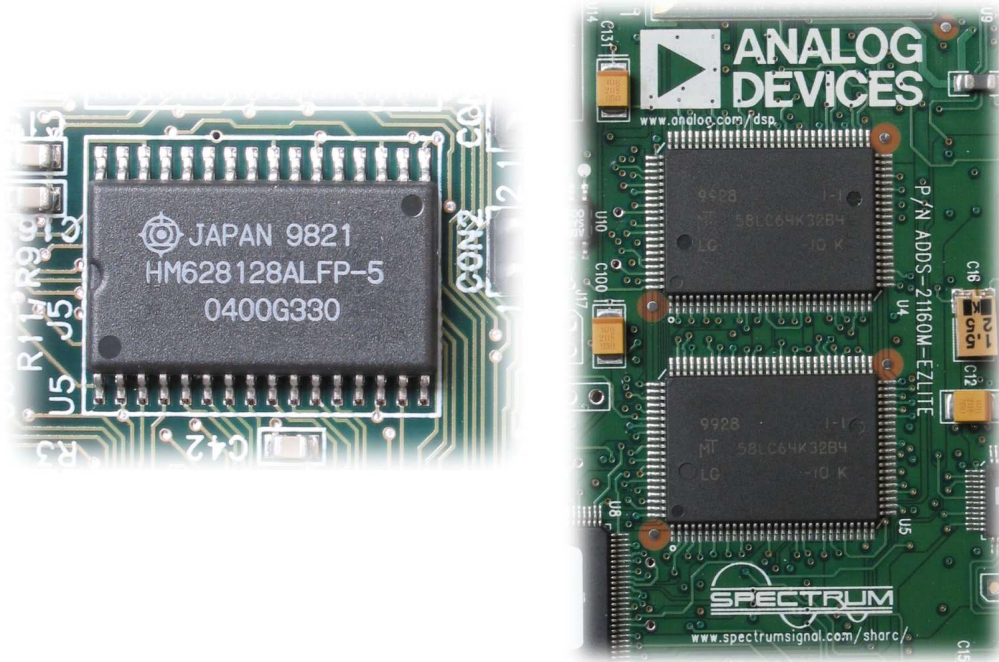
- Některé typické parametry pamětí EEPROM a Flash:

	EEPROM	Flash
Zápis bez předchozího mazání	<u>Ano</u>	<u>Ne</u>
Mazací cyklus	(20 ms)*	100 ms – 1 sec.
Zápis dat (orientační hodnota)	10 ms	10 μ s
Počet mazacích cyklů (EEPROM: přepsání obsahu)	100 000 – 1 000 000	100 000 – 1 000 000

*) před zápisem nových dat není nutné

Přehled obvyklých typů pamětí (RWM)

- **Statické paměti RWM (Read – Write Memory),** někdy též RAM (Random Access Memory) nebo SRAM (Static RAM).



Přehled obvyklých typů pamětí (RWM)

- **Statické paměti RWM (Read – Write Memory),** někdy též RAM (Random Access Memory) nebo SRAM (Static RAM).
 - Jsou to volatilní paměti – pro udržení dat musí mít trvale připojené napájení.
 - 2 základní verze:
 - CMOS SRAM s nízkým příkonem („Low power“),
 - rychlé synchronní CMOS SRAM („Fast“).
 - Kapacita řádově cca 1 MB.
 - Nízkopříkonové **SRAM** lze převést do režimu s velmi malým odběrem – **vhodné pro zálohování dat baterií.**
 - **Synchronní SRAM mohou být velmi rychlé** (doba přístupu cca 10^0 ns), ale mají velký odběr.

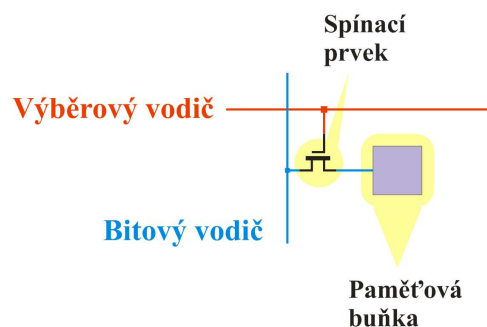
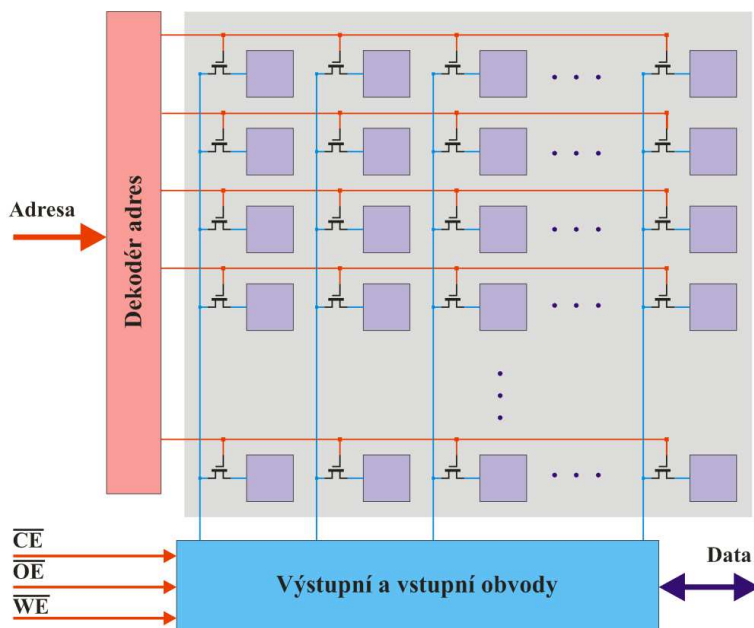
Přehled obvyklých typů pamětí (DRAM)

- **Dynamické RAM (DRAM)**
 - Volatilní paměti – musí mít trvalé napájení.
 - Pro udržení dat musí být jejich obsah periodicky zotavován.
 - **Velká kapacita (max. cca. 64 Gb) při (relativně) nízké ceně.**
 - Řada různých provozních režimů.
 - Pro větší rychlosti jsou vyráběny v synchronních verzích (SDRAM).

Použití polovodičových pamětí

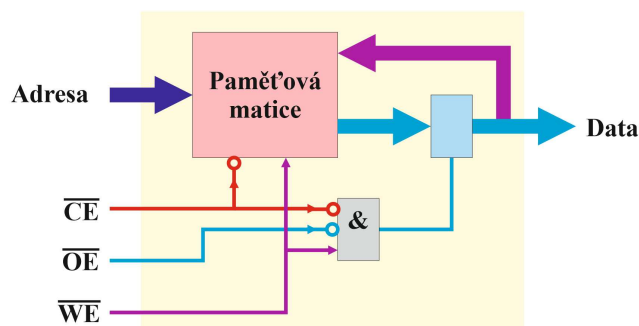
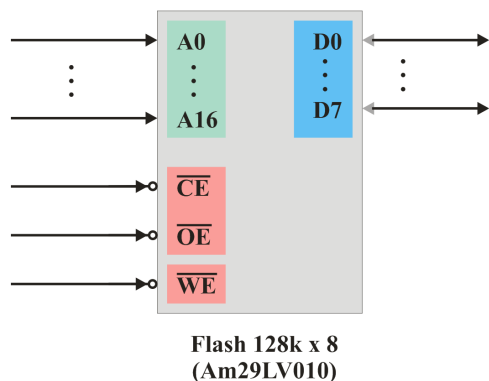
Polovodičová paměť

- Paměť je sestavena z řady paměťových buněk.
- Konstrukce paměťové buňky se liší podle typu paměti (EEPROM, SRAM, ...).



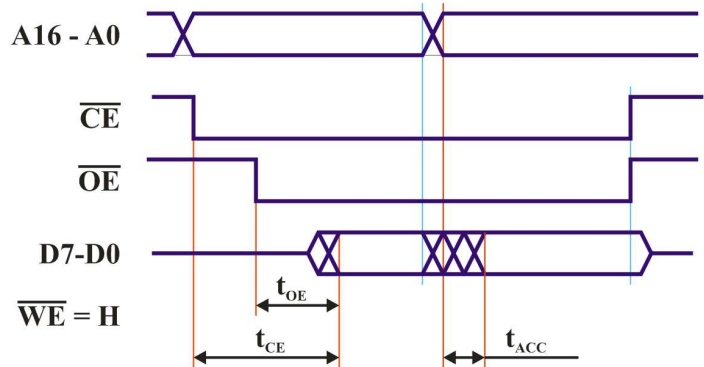
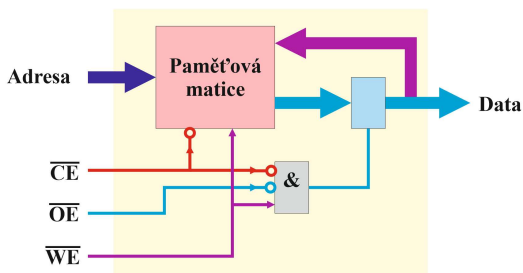
Použití pamětí Flash (1)

- Čtení z Flash – jednoduchý čtecí cyklus na sběrnici.
- Zápis do Flash – vyžaduje několik zápisových cyklů na sběrnici, musí se kontrolovat časování + speciální programovací sekvence.



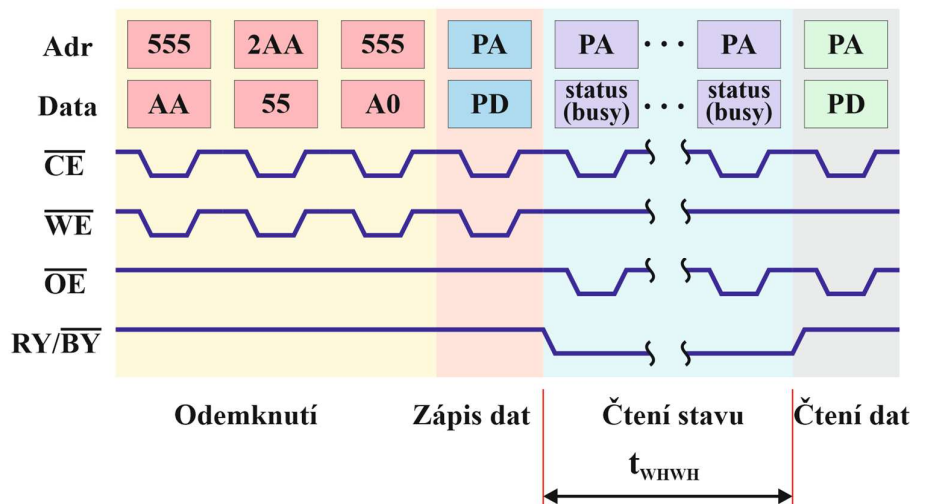
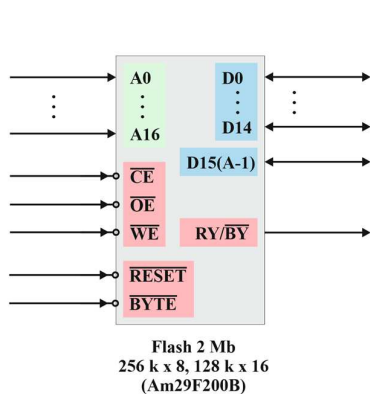
Použití pamětí Flash (2)

- Čtení z Flash – jednoduchý čtecí cyklus na sběrnici.
- Zápis do Flash – vyžaduje několik zápisových cyklů na sběrnici, musí se kontrolovat časování + speciální programovací sekvence.
- Typické hodnoty:
 - $t_{OE} = 25 \text{ ns}$
 - $t_{CE} = 45 \text{ ns}$
 - $t_{ACC} = 45 \text{ ns}$



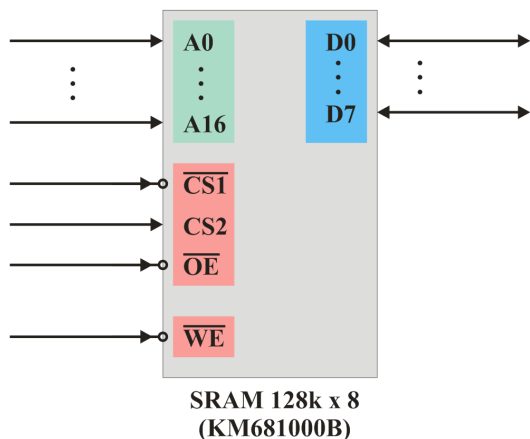
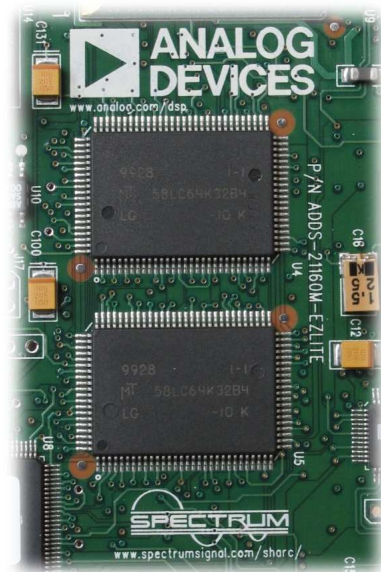
Zápis dat do Flash (protokol JEDEC)

- Testování ukončení zápisu:
 - Signálem RY/BY.
 - Čtením stavového registru.



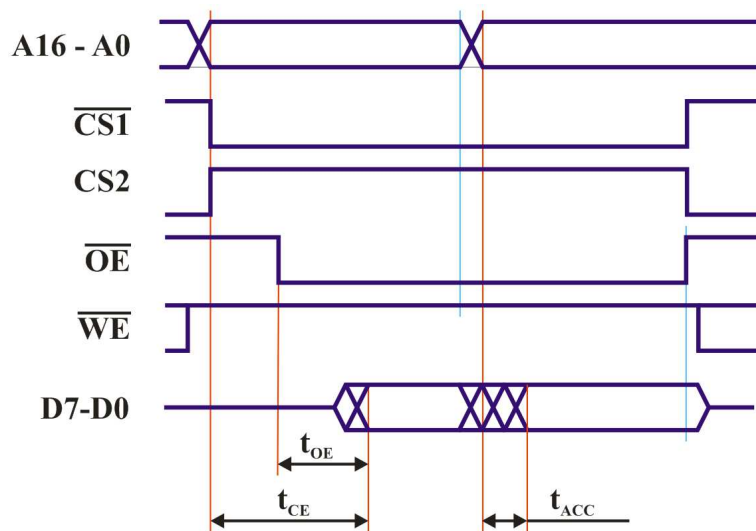
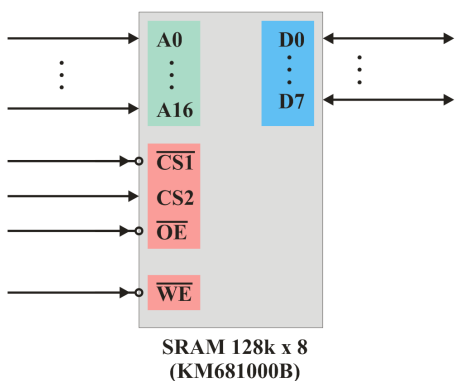
Použití pamětí SRAM

- Nízkopříkonové SRAM:
 - Snadný zápis i čtení.



Čtecí cyklus SRAM

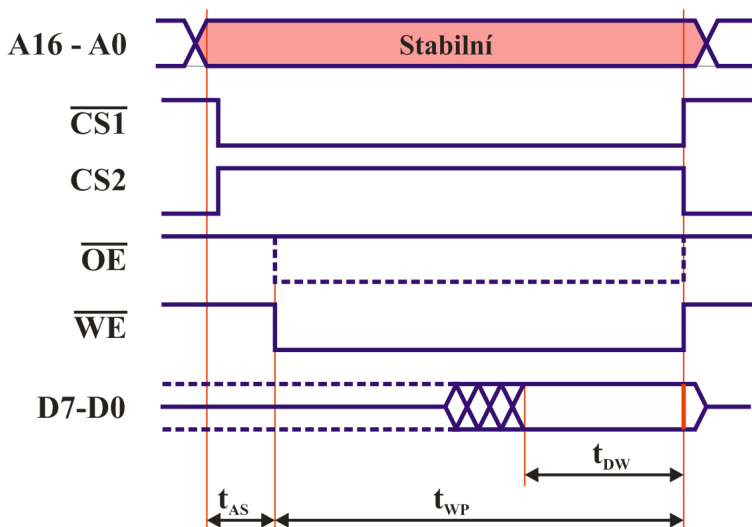
- Typické hodnoty
 - $t_{OE} = 25 \text{ ns}$
 - $t_{CE} = 55 \text{ ns}$
 - $t_{ACC} = 55 \text{ ns}$



Zápisový cyklus SRAM

• Typické hodnoty

- $t_{AS} = 0 \text{ ns}$
- $t_{WP} = 40 \text{ ns}$
- $t_{DW} = 25 \text{ ns}$

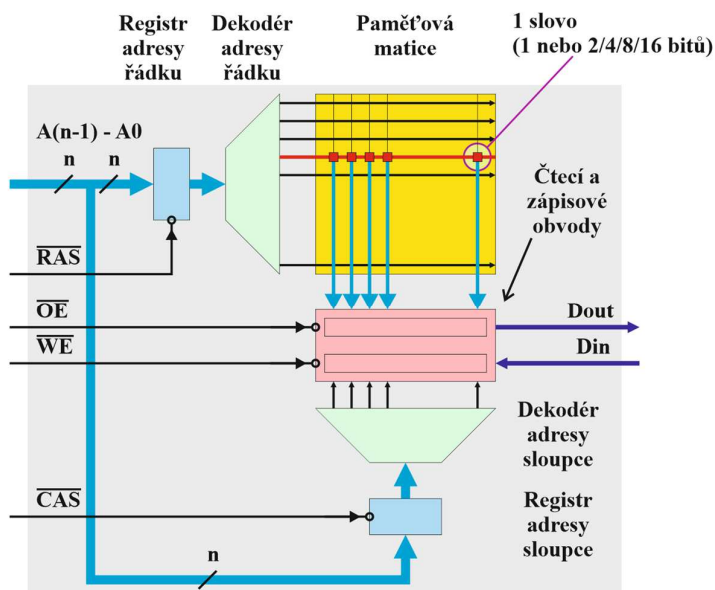
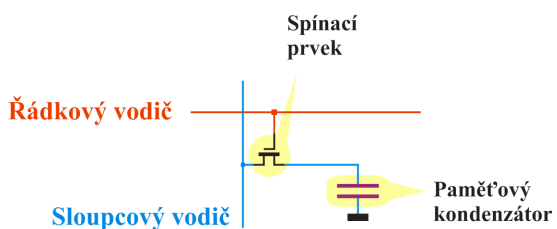


Dynamické paměti

- Paměťové buňky jsou uspořádány do matice. V každém řádku je velký počet (např. 1 k) samostatně adresovatelných slov.

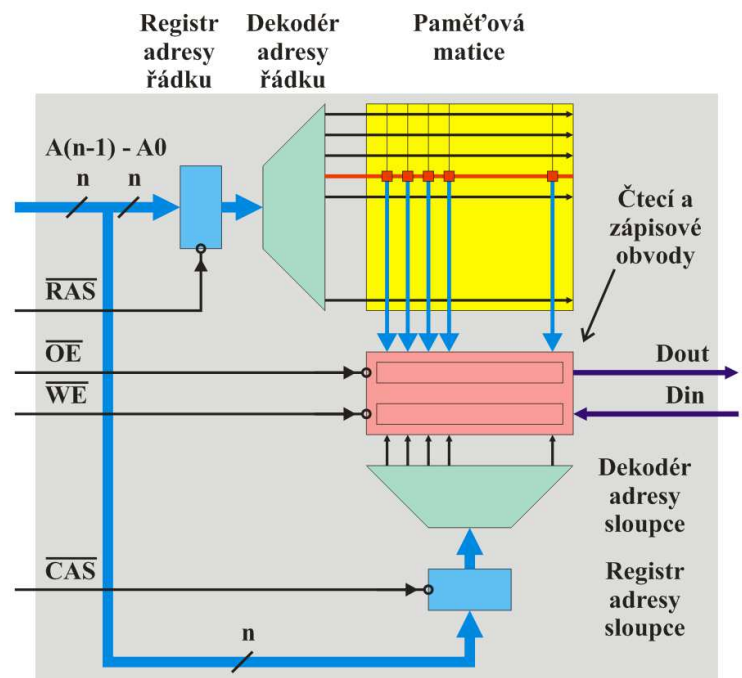
- Např. paměť $8M \times 1$ může mít rozměr paměťové matice 8192×1024 , tj. $2^{13} \times 2^{10}$.

- Adresa řádku a sloupce se do paměti zapisuje postupně.
- Někdy oddělený vstup a výstup dat.



Asynchronní dynamické paměti

- Pro řízení paměti slouží signály:
 - /RAS - Row Address Strobe,
 - /CAS - Column Address Strobe,
 - /WE - Write Enable,
 - /OE - Output Enable.
- Čtecí / zápisový cyklus má několik fází:
 - nabití sloupcových vodičů (precharge),
 - zápis adresy řádku + čtení řádku (Row Address Strobe),
 - zápis adresy sloupce + výběr dat z určitého sloupce (Column Address Strobe),
 - zpětný zápis dat do paměťové matice (provádí paměť autonomně).

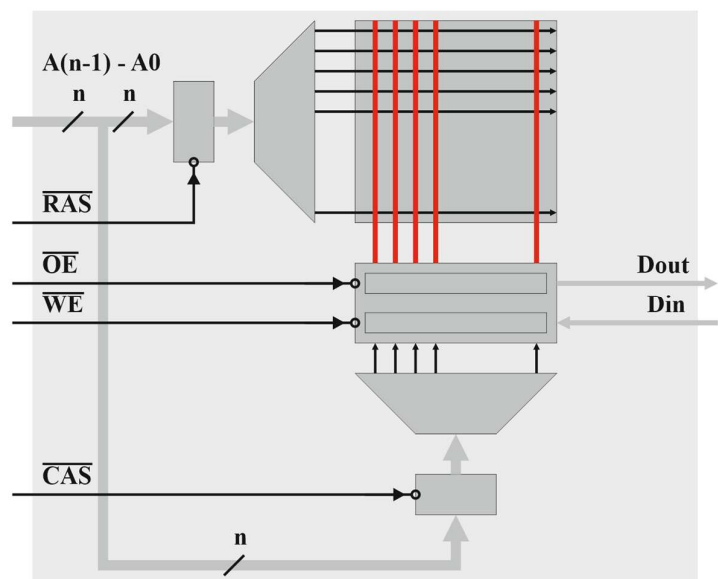


21

K.D. - přednášky POT

Čtecí cyklus asynchronní DRAM (1)

- Příprava čtení – precharge
 - Sloupcové vodiče se nabijí na referenční napětí.
 - /RAS, /CAS, /WE nejsou aktivní.

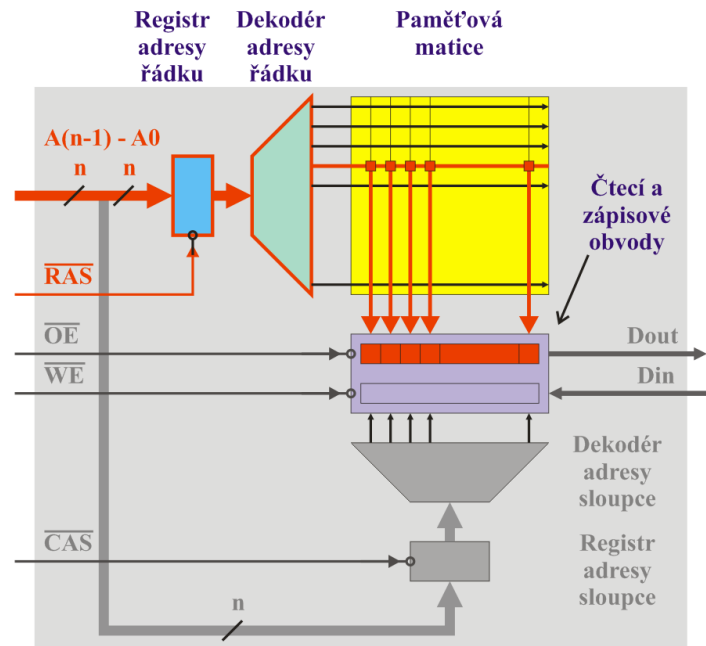


22

K.D. - přednášky POT

Čtecí cyklus asynchronní DRAM (2)

- Na adresních vodičích je připojena adresa řádku.
- Signálem /RAS se přečte celá řádka z paměťové matice.

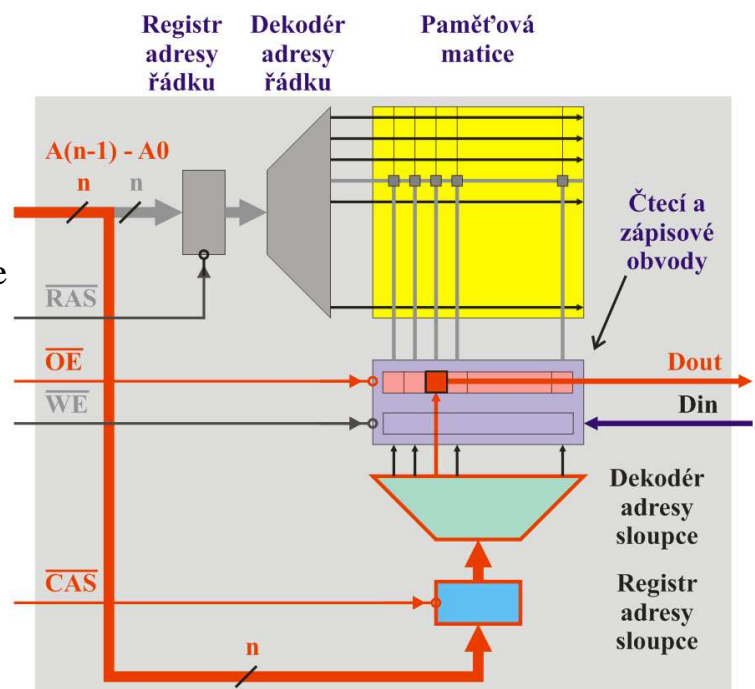


23

K.D. - přednášky POT

Čtecí cyklus asynchronní DRAM (3)

- Na adresních vodičích je připojena adresa sloupce.
- Signálem /CAS se vybere jedno z přečtených slov.
- Signál /OE aktivuje výstupní budiče dat.

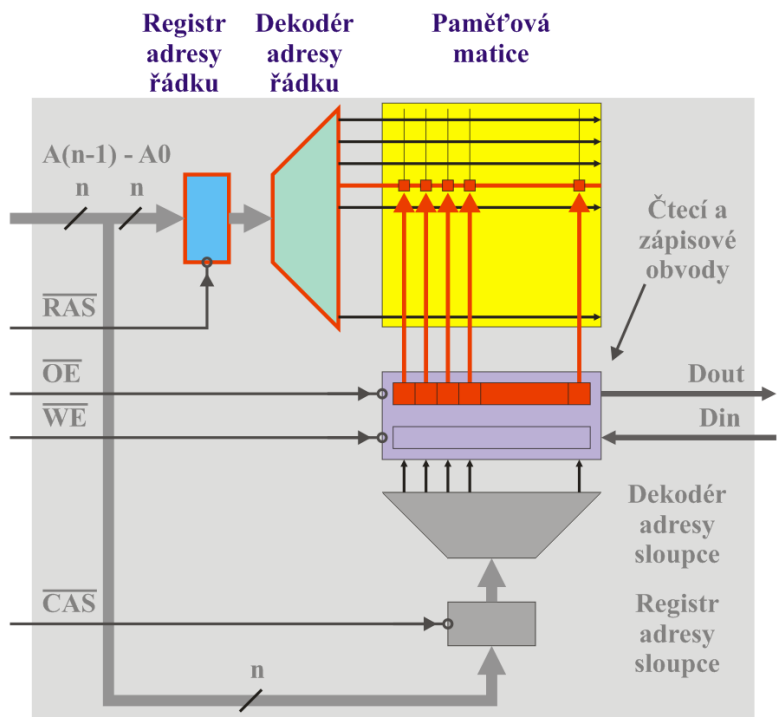


24

K.D. - přednášky POT

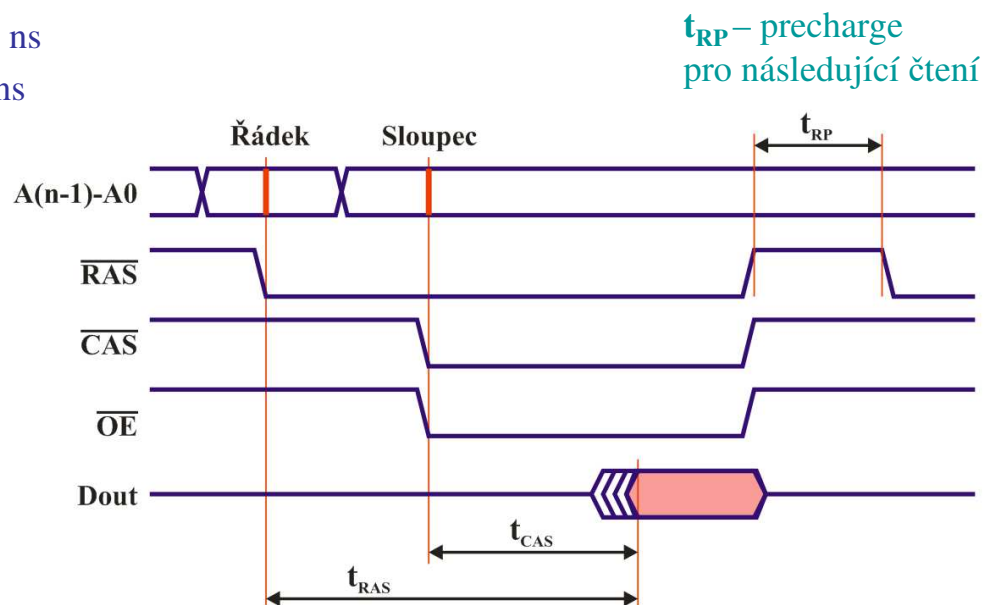
Čtecí cyklus asynchronní DRAM (4)

- V průběhu čtecího cyklu provede paměť zpětný zápis dat do celého řádku paměťové matice.



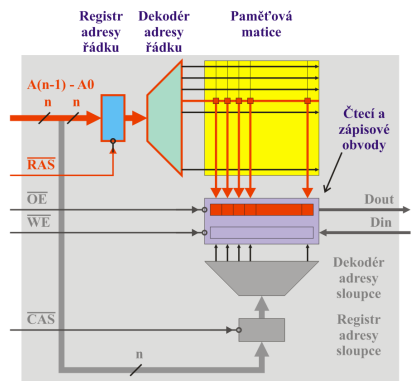
Čtecí cyklus DRAM

- Typické hodnoty
 - $t_{RAS} = 60 \text{ ns}$
 - $t_{CAS} = 15 \text{ ns}$
 - $t_{RP} = 40 \text{ ns}$

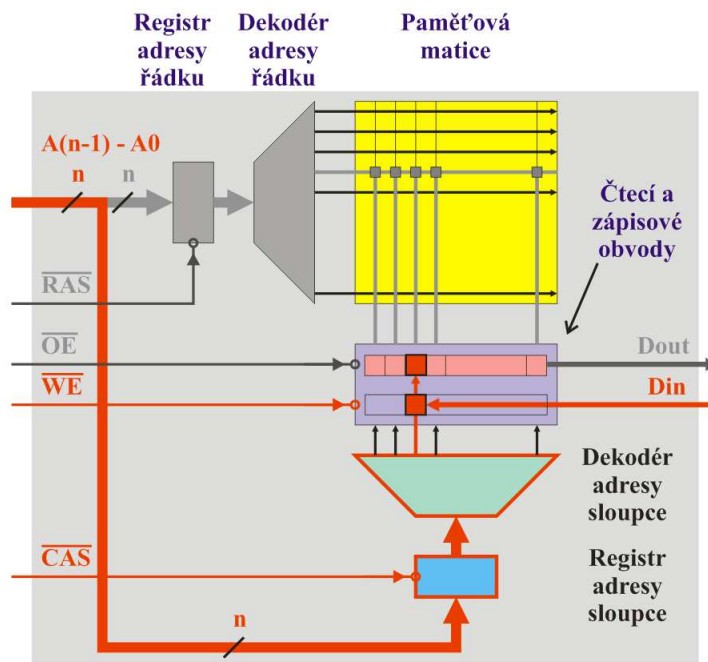


Zápisový cyklus DRAM (1)

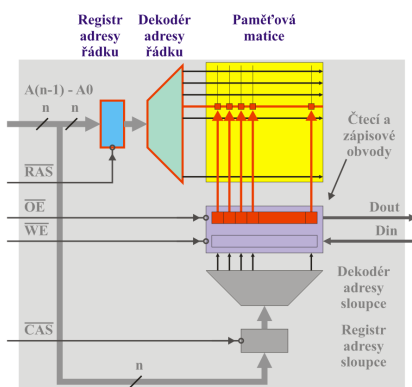
1



2



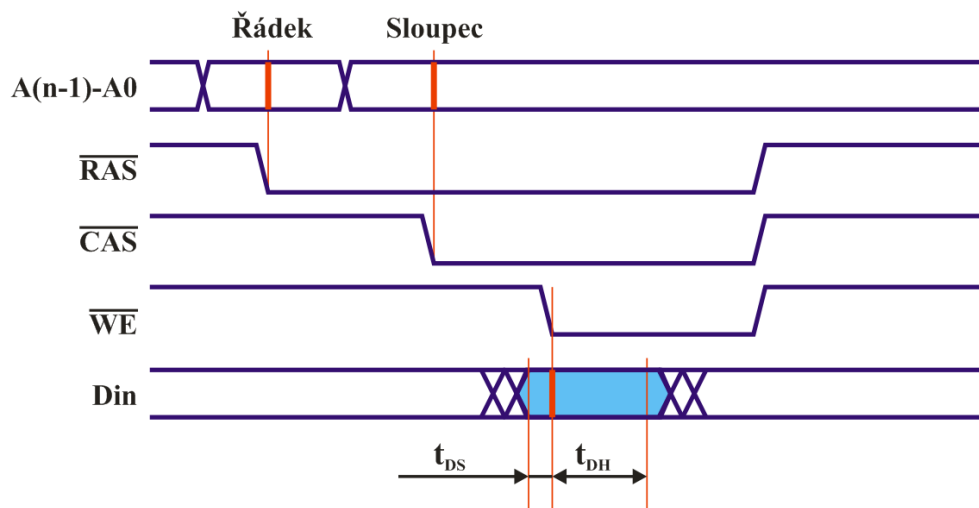
3



Zápisový cyklus DRAM

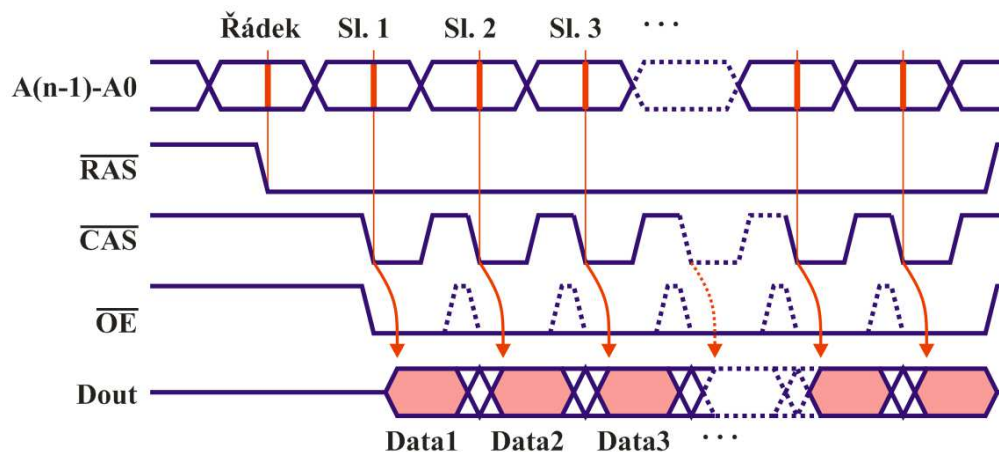
- Typické hodnoty

- $t_{DS} = 0$ ns
- $t_{DH} = 15$ ns



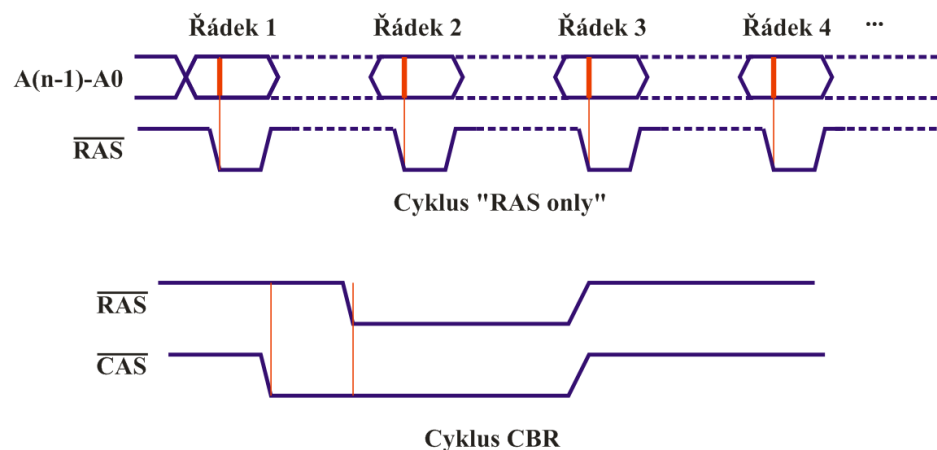
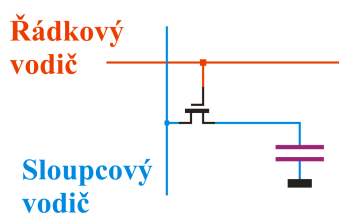
Stránkové režimy DRAM

- Umožňuje přečíst data z celé řádky při jediné aktivaci /RAS.
- Podobně též stránkový zápis.



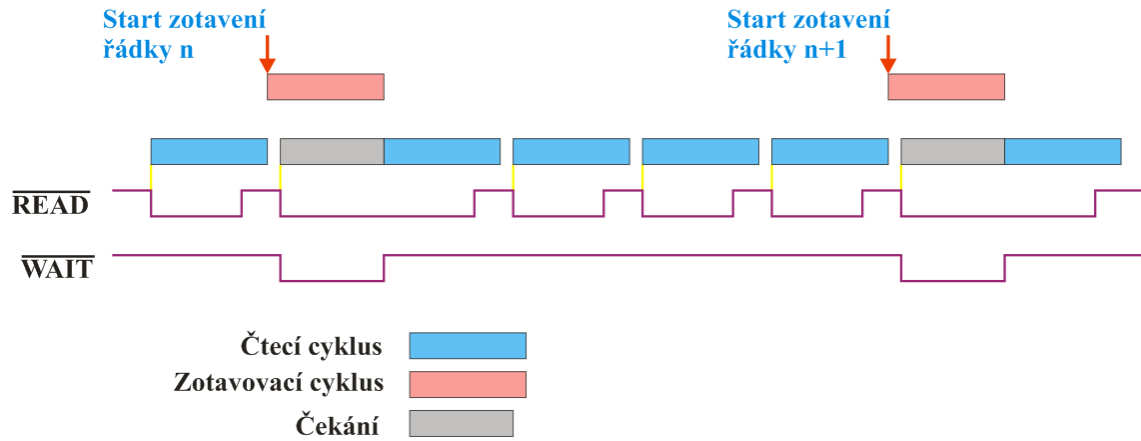
Zotavování DRAM

- Každá paměťová buňka se musí zotavovat podle typu po cca 10 – 60 ms.
- Při čtení nebo zápisu se automaticky zotaví celá řádka.
- Zotavovací cykly:
 1. RAS only – používá vnější čítač adres pro zotavení.
 2. CAS Before RAS (CBR) – používá vnitřní čítač adres pro zotavení.



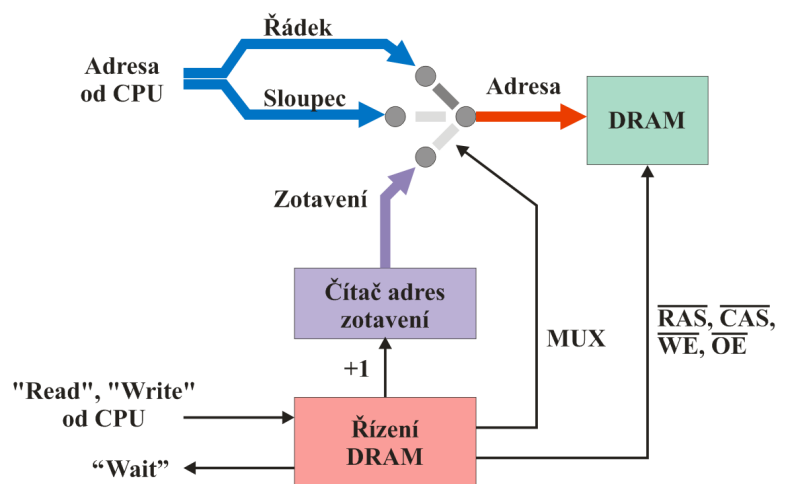
Časování zotavení

- V průběhu zotavovacího cyklu není možný přístup do DRAM.
- Čtecí resp. zápisový cyklus je prodloužen signálem WAIT.



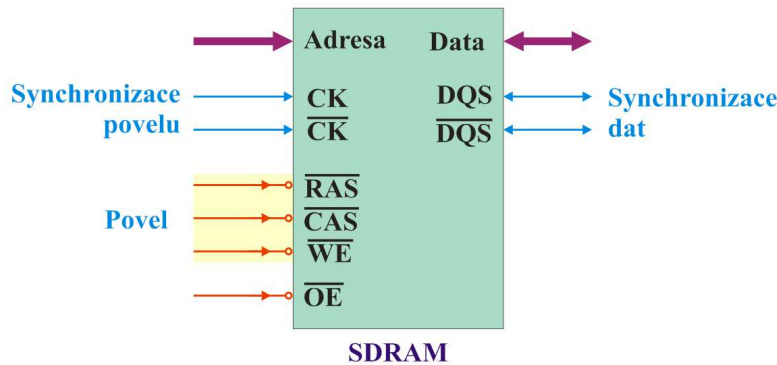
Zapojení paměti DRAM

- Adresa z CPU se musí rozdělit na řádkovou a sloupcovou část.
- Přepínač adres postupně připojuje obě části adresy na adresní vstupy paměti.
- Podle potřeby se na adresní vstupy připojuje registr adresy zotavení.
- Řídící obvody pro DRAM jsou obvykle součástí Bus Controlleru daného mikroprocesoru.



Synchronní DRAM (SDRAM) (1)

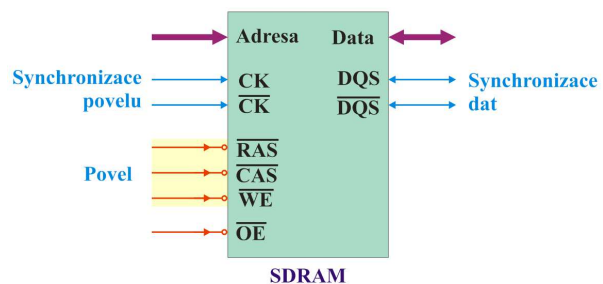
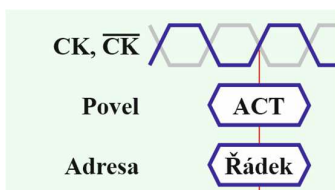
- K synchronizaci adresy, povelu a dat se používají hodinové signály CK a DQS.
- Při čtení/zápisu se čte/zapíše paralelně blok 2, 4, 8 nebo 16 slov.
- Přenos dat paměť ↔ vnější obvody se provádí po slovech.



Vývody SDRAM (zjednodušeně)

Synchronní DRAM (SDRAM) (2)

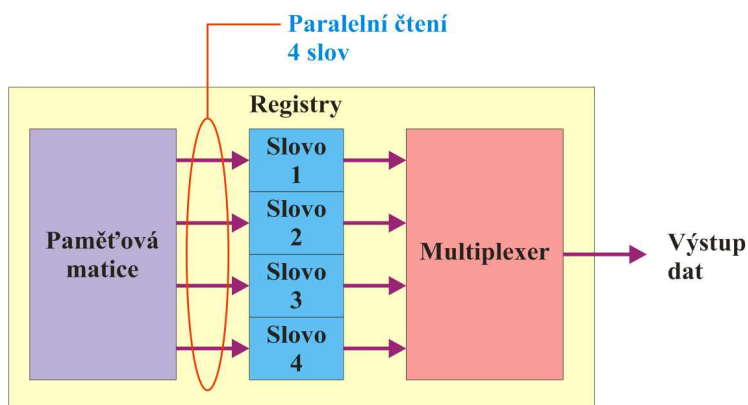
- Některé příkazy SDRAM:
(velmi zjednodušeně)



Příkaz	/RAS	/CAS	/WE	Adresa
Zápis konfigurace	L	L	L	Konfigurace
Aktivace	L	H	H	Řádek
Čtení	H	L	H	Sloupec
Zápis	H	L	L	Sloupec

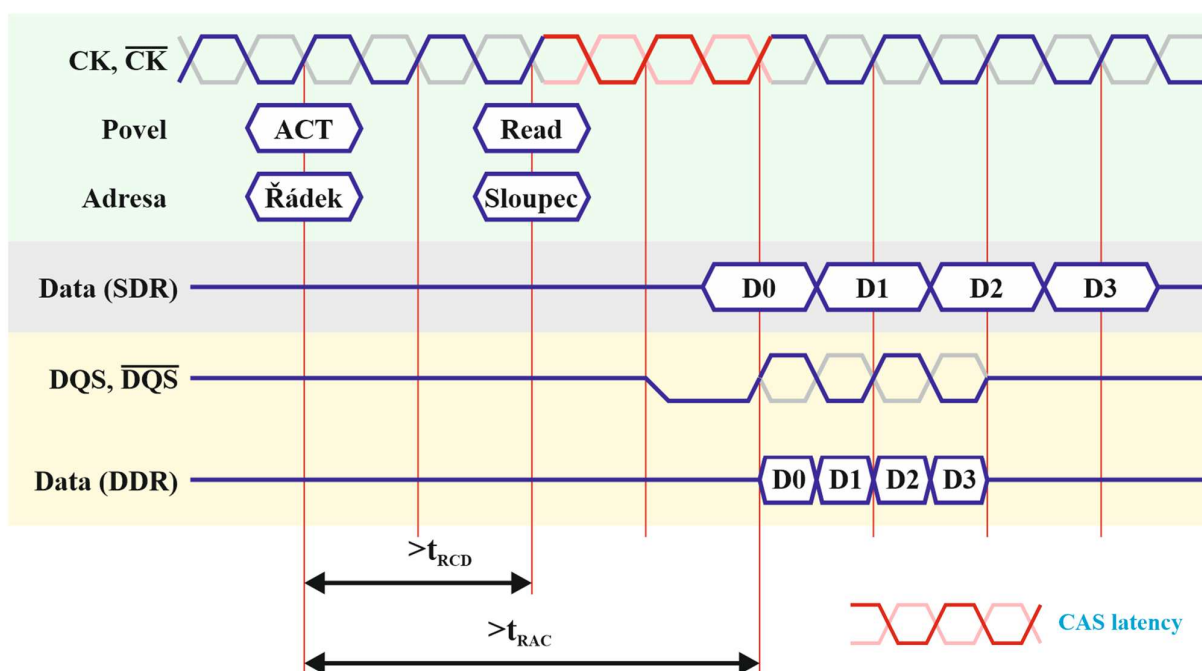
Synchronní DRAM (SDRAM) (3)

- K synchronizaci adresy, povelu a dat se používají hodinové signály CK a DQS.
- Při čtení/zápisu se čte/zapíše paralelně blok 2, 4, 8 nebo 16 slov.
- Přenos dat paměť ↔ vnější obvody se provádí po slovech (např. slovo = 36 bitů).



Blokové čtení SDRAM (zjednodušeně)

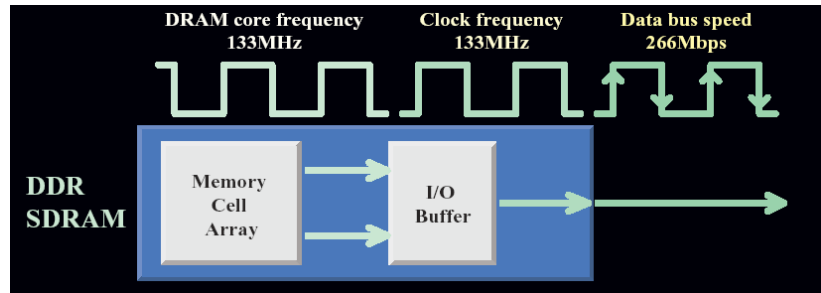
Časování SDR a DDR SDRAM



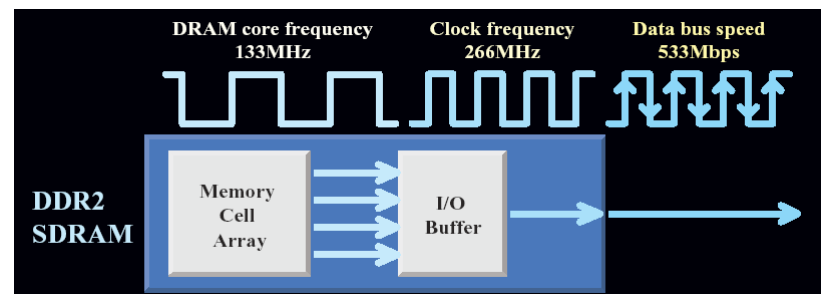
Čtení bloku 4 slov

Časování DDR a DDR2 SDRAM

DDR: frekvence hodinového signálu povelů a dat je stejná.

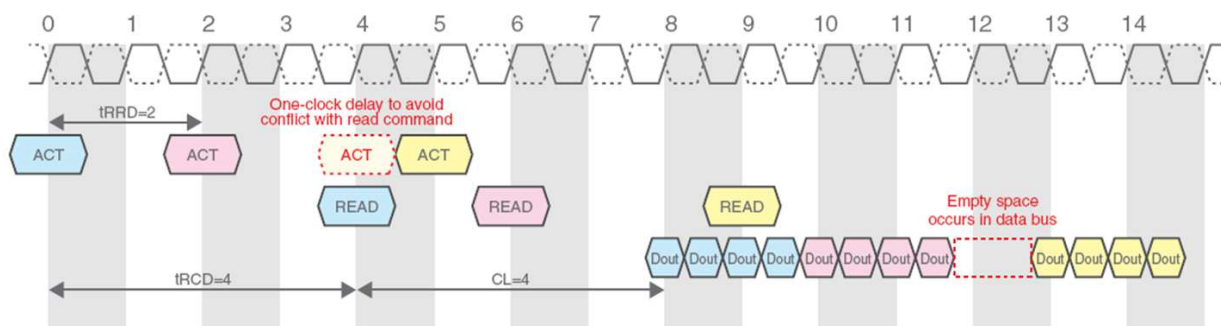


DDR2: frekvence hodinového signálu dat je dvojnásobná proti hodinovému signálu povelů.



Rozdělení SDRAM na banky

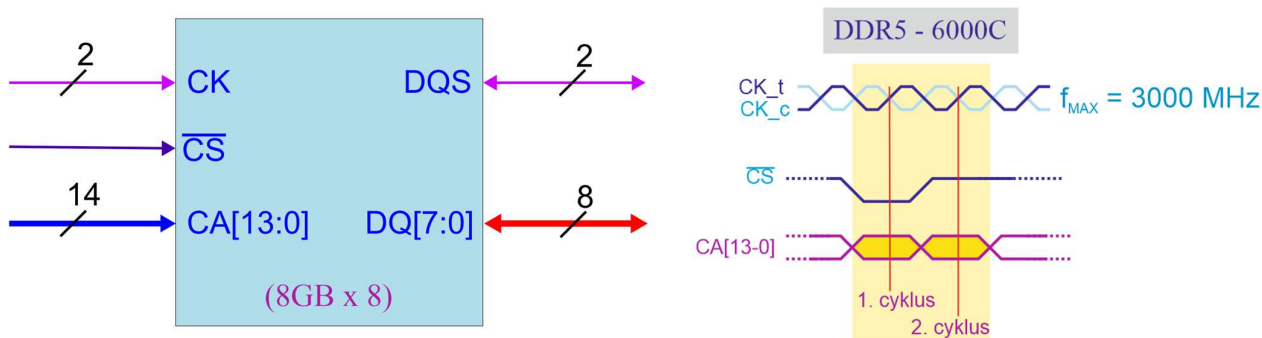
- SDRAM je rozdělena na **několik nezávislých banků**.
 - Část adresy řádku vybírá určitý bank.
- Čtení z jednotlivých banků může být prokládané – lze dosáhnout souvislý tok dat.



Prokládané čtení z modrého, červeného a žlutého banku.

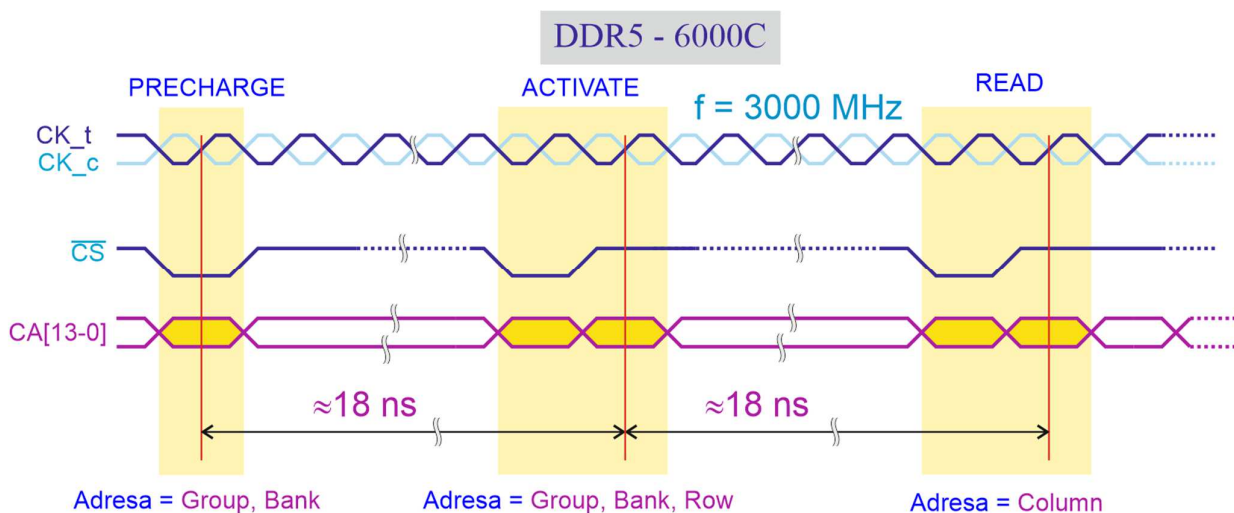
Paměti SDDR5 SDRAM (1)

- Pro vkládání příkazů a adresy slouží vodiče CA[13:0] (Command / Address).
 - Většina příkazů se zapisuje ve 2 taktech CK.
- Příkazy jsou podobné jako u starších SDDR.
 - Např. Precharge – Activate – Read atd.
- Rozhraní je velmi rychlé (podle verze je frekvence CK až 3000 MHz).
- Samotná paměťová matice je relativně pomalá.



Paměti SDDR5 SDRAM (2)

- Příklad časování: náhodné čtení z SDDR5:
 - Mezi Precharge a Activate a mezi Activate a Read musí být pauza cca. 18 ns.
 - V průběhu čtecího cyklu lze připravovat čtení z jiného banku.



Paměti SDDR5 SDRAM (3)

- Příklad časování: náhodné čtení z SDDR5:
 - Mezi Precharge a Activate a mezi Activate a Read musí být pauza cca. 18 ns.
 - Data jsou na výstupu SDDR cca. 20 ns po Read.

